

RS

2
1-17-03

Attorney Docket No. 1076.1073

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of:

Shigetaka ASANO

Application No.:

Group Art Unit: Unassigned

Filed: March 7, 2002

Examiner: Unassigned



For: ANALOG SIGNAL CONTROL METHOD, ANALOG SIGNAL CONTROLLER, AND
AUTOMATIC GAIN CONTROLLER

**SUBMISSION OF CERTIFIED COPY OF PRIOR FOREIGN
APPLICATION IN ACCORDANCE
WITH THE REQUIREMENTS OF 37 C.F.R. § 1.55**

Assistant Commissioner for Patents
Washington, D.C. 20231

Sir:

In accordance with the provisions of 37 C.F.R. § 1.55, the applicant(s) submit(s)
herewith a certified copy of the following foreign application:

Japanese Patent Application No. 2001-244524

Filed: August 10, 2001

It is respectfully requested that the applicant(s) be given the benefit of the foreign filing
date(s) as evidenced by the certified papers attached hereto, in accordance with the
requirements of 35 U.S.C. § 119.

Respectfully submitted,

STAAS & HALSEY LLP

Date: March 7, 2002

By: David M. Pitcher

David M. Pitcher

Registration No. 25,908

700 11th Street, N.W., Ste. 500
Washington, D.C. 20001
(202) 434-1500

日 本 国 特 許 庁
JAPAN PATENT OFFICE

J1046 U.S. PTO
10/091432
03/07/02

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日
Date of Application:

2001年 8月10日

出 願 番 号
Application Number:

特願2001-244524

出 願 人
Applicant(s):

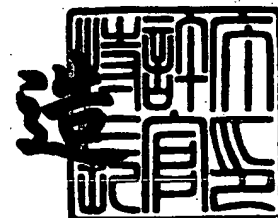
富士通株式会社
富士通ヴィエルエスアイ株式会社

CERTIFIED COPY OF
PRIORITY DOCUMENT

2001年11月 2日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-309733

مجلس

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9909792

【包括委任状番号】 9909791

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 アナログ制御方法、アナログ制御装置、及び A G C

【特許請求の範囲】

【請求項 1】 アナログ信号をデジタル信号に変換し、該デジタル信号を演算処理して生成した制御信号に基づいて前記アナログ信号を制御するアナログ制御方法において、

前記制御信号を生成する経路にて生じるレイテンシに対応して前記アナログ信号を遅延させ、該遅延後のアナログ信号を制御するようにしたことを特徴とするアナログ制御方法。

【請求項 2】 アナログ信号をデジタル信号に変換し、該デジタル信号を演算処理して生成した制御信号に基づいて前記アナログ信号を制御するアナログ制御方法において、

前記制御信号を生成する経路にて生じるレイテンシに対応して前記アナログ信号をクロック信号に同期して遅延させ、該遅延後のアナログ信号を制御するようにしたことを特徴とするアナログ制御方法。

【請求項 3】 前記制御信号は、所定のタイミングでサンプリングされる前記アナログ信号のサンプリング値に基づいて生成され、該制御信号を前記サンプリングタイミングに対応した値を持つアナログ信号に作用させるように前記アナログ信号の遅延を設定することを特徴とする請求項 1 又は 2 記載のアナログ制御方法。

【請求項 4】 前記制御信号は、所定のタイミングでサンプリングされる前記アナログ信号のサンプリング値に基づいて生成され、該制御信号を前記サンプリングタイミングに対し、それ以前のサンプリングタイミングに対応した値を持つアナログ信号に作用させるように前記アナログ信号の遅延を前記レイテンシ以上に設定することを特徴とする請求項 1 又は 2 記載のアナログ制御方法。

【請求項 5】 アナログ信号をアナログーデジタル変換する A D C と、
前記 A D C の出力信号を演算処理して、前記アナログ信号を制御するための制御信号を生成するデジタル演算回路と、

前記制御信号に基づいて前記アナログ信号を制御するアナログ制御回路と、

を備えたアナログ制御装置において、

前記 A D C 及びデジタル演算回路で生じるレイテンシに対応した遅延を設定した遅延回路を設け、該遅延回路を介して遅延させた前記アナログ信号を、前記アナログ制御回路にて制御することを特徴とするアナログ制御装置。

【請求項 6】 前記遅延回路は、相補的に制御される一対のスイッチの開閉に基づいて、前記アナログ信号をクロック信号に同期して遅延させる一又は複数の遅延段数にて構成されることを特徴とする請求項 5 記載のアナログ制御装置。

【請求項 7】 前記遅延回路の遅延段数を、前記アナログ信号のサンプリング値に応じて所定の遅延段数（0 段を含む）に変更させる選択回路を備えたことを特徴とする請求項 6 記載のアナログ制御装置。

【請求項 8】 アナログ信号を、制御信号に基づいて設定される所定のゲインにて制御する第 1 の G C A と、

前記第 1 の G C A の出力信号をアナログーデジタル変換する A D C と、

前記第 1 の G C A の出力信号が前記 A D C の入力レベルに対しほぼフルレンジとなるように設定される目標値と、該 A D C の出力信号との誤差を算出する誤差演算回路と、

前記誤差演算回路の出力信号をデジタルーアナログ変換して、前記第 1 の G C A のゲインを設定するための前記制御信号を出力する D A C と、

から構成される第 1 の制御ループを備えた A G C において、

前記第 1 の制御ループにて生じるレイテンシに対応して前記アナログ信号を遅延させる遅延回路と、

前記遅延回路を介して入力される前記アナログ信号を、前記制御信号に基づいて設定される所定のゲインにて制御する第 2 の G C A と、
を備えたことを特徴とする A G C。

【請求項 9】 アナログ信号をアナログーデジタル変換する A D C と、

前記 A D C の出力信号に基づいて前記アナログ信号の複数のサンプリング値の平均値を算出する平均処理回路と、

前記平均値に基づいて前記アナログ信号を制御させるべくゲインを選択し、制御信号を生成するゲインセレクト回路と、

前記 A D C、平均処理回路、ゲインセレクト回路にて生じるレイテンシに対応して前記アナログ信号を遅延させる遅延回路と、

前記遅延回路を介して入力される前記アナログ信号を、前記制御信号に基づいて切り替えたゲインにて制御するゲイン切替えアンプと、
を備えたことを特徴とする A G C。

【請求項 1 0】 請求項 9 記載の A G C を複数段備えたことを特徴とする A G C。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、アナログ制御方法、アナログ制御装置、及び A G C に関するものである。

【0 0 0 2】

近年、アナログ信号の制御をデジタル信号により行うようになってきている。例えば、磁気ディスク等の記録媒体から読み出したデータであるアナログ信号に対して、そのアナログ信号をデジタル信号に変換し、そのデジタル信号から G C A（利得制御アンプ）の増幅率を算出する。そして、算出した増幅率をフィードバックしてアナログ信号の振幅を制御する。このフィードバックループを繰り返すことで、アナログ信号の振幅を一定に制御する。この時のアナログ信号に対する制御信号の遅延、即ちデジタル処理等する演算経路での処理時間（制御遅延：レイテンシ）がアナログ信号の制御性に影響を与えることから、制御性の向上が要求されている。

【0 0 0 3】

【従来の技術】

図 3 2 は、従来のアナログ制御装置の概略構成図である。

アナログ制御装置 1 1 1 は、アナログ制御回路 1 1 2、A / D 変換回路（以下、A D C）1 1 3、デジタル演算回路 1 1 4 を含む。

【0 0 0 4】

アナログ制御装置 1 1 1 には、例えば記録媒体等から読み出されたデータであ

るアナログ信号 I N が入力され、入力されたアナログ信号 I N は該制御装置 1 1 1 に制御され、次回路 1 1 5 に伝達される。尚、ADC 1 1 3、デジタル演算回路 1 1 4 は、図示しない P L L 回路等から供給されるクロック信号 C L K に基づいて動作する。

【0005】

アナログ制御回路 1 1 2 は、入力したアナログ信号 I N をデジタル演算回路 1 1 4 から出力される制御信号 S 3 1 に基づいて制御し、生成したアナログ信号 S 3 2 を ADC 1 1 3 に出力する。又、このアナログ信号 S 3 2 は、次回路 1 1 5 に伝達される。

【0006】

ADC 1 1 3 は、アナログ信号 S 3 2 をデジタル信号 S 3 3 に変換し、該デジタル信号 S 3 3 をデジタル演算回路 1 1 4 に出力する。

デジタル演算回路 1 1 4 は、デジタル信号 S 3 3 を基に各種演算処理を実行して上記制御信号 S 3 1 を生成し、その制御信号 S 3 1 をアナログ制御回路 1 1 2 にフィードバックする。

【0007】

このように、アナログ制御装置 1 1 1 では、アナログ信号 S 3 2 に基づいて生成した制御信号 S 3 1 をフィードバックする制御ループによってアナログ信号 I N が制御される。

【0008】

図 3 3 は、従来のアナログ制御装置 1 1 1 を、例えば自動利得制御装置（以下、AGC (Automatic Gain Controller)）に具体化したブロック図である。

AGC 1 2 1 は、利得制御アンプ（以下、GCA (Gain Control Amplifier)）1 2 2、ローパスフィルタ（以下、LPF）1 2 3、ADC 1 2 4、誤差演算回路 1 2 5、D/A変換回路（以下、DAC）1 2 6を含む。尚、ADC 1 2 4、誤差演算回路 1 2 5 は、P L L 回路等から供給されるクロック信号 C L K に基づいて動作する。

【0009】

アナログ信号 I N は、GCA 1 2 2 に入力される。GCA 1 2 2 は、アナログ

信号INをDAC126から出力される制御信号S41に基づき設定したゲインにて制御し、該制御された振幅を持つアナログ信号S42をLPF123に出力する。

【0010】

LPF123は、GCA122のアナログ信号S42から高周波成分を除去したアナログ信号S43をADC124に出力する。

ADC124は、LPF123からのアナログ信号S43をデジタル信号S44に変換し、そのデジタル信号S44を誤差演算回路125に出力する。

【0011】

誤差演算回路125は、デジタル信号S44と予め設定される目標値とを比較し、その誤差成分を積分して生成したデジタル信号S45をDAC126に出力する。ここで、目標値とは、LPF123から出力されるアナログ信号S43の振幅をADC124の入力レベルに対しほぼフルレンジとなるようにする値である。

【0012】

DAC126は、誤差演算回路125から出力されるデジタル信号S45をアナログ信号に変換して上記制御信号S41を生成し、該制御信号S41をGCA122にフィードバックする。

【0013】

図34は、誤差演算回路125の具体的構成を示すブロック図である。

誤差演算回路125は、第1～第3演算回路131～133と、第1～第3フリップフロップ（以下、FF）134～136とから構成される。

【0014】

第1演算回路131は、上記ADC124からのデジタル信号S44を絶対値化して出力する演算回路であって、第1FF134は、該第1演算回路131の出力信号をクロック信号CLKに基づいてラッチして出力する。第1FF134の出力信号D1は、第2演算回路132に入力される。

【0015】

第2演算回路132は、予めレジスタ等（図示略）に格納されている目標値と

第1 FF134の出力信号D1との誤差成分を算出し、該算出結果に基づく出力信号D2を第2 FF135に出力する。第2 FF135は、第2演算回路132の出力信号D2をクロック信号CLKに基づいてラッチして出力し、その出力信号Aを第3演算回路133に出力する。

【0016】

第3演算回路133は、第2 FF135の出力信号A（即ち、第2演算回路132の出力信号D2）を積分して出力する演算回路であって、その出力信号Sはフィードバックされて該第3演算回路133の入力信号Bとして入力される。この第3演算回路133の出力信号Sは、第3 FF136に入力される。第3 FF136は、第3演算回路133の出力信号Sをクロック信号CLKに基づいてラッチして出力し、その出力信号を上記DAC126（図33参照）に出力する。

【0017】

このように構成されたAGC121では、GCA122の出力信号S42に基づいて制御信号S41をフィードバックする制御ループによってGCA122のゲインを最適化し、ADC124の入力レンジに対応する振幅を持つアナログ信号S43を得るようにしている。そして、AGC121は、ADC124から出力されるデジタル信号S44を次回路としてのデジタル回路等に出力する。

【0018】

【発明が解決しようとする課題】

ところで、上記図32に示す従来のアナログ制御装置111では、アナログ信号INを制御するための制御ループ（ADC113及びデジタル演算回路114）に起因した制御遅延（レイテンシ）が発生する。つまり、図33に示す従来のAGC121では、その制御ループにおけるADC124及び誤差演算回路125の処理時間がアナログ信号INに対するレイテンシとなる。

【0019】

誤差演算回路125には、第2及び第3演算回路132、133（図34参照）の演算速度を高速にする為、それらの入出力段に第1～第3 FF134～136が設けられている。これら3段の第1～第3 FF134～136に起因して誤差演算回路125に生じるレイテンシは、クロック信号CLKの3クロック分に

相当し、そこでのレイテンシの影響は特に大きくなっていた。

【0020】

例えば、図35に示すように、時刻T1にアナログ信号INをサンプリングし、そのサンプリング値を持つデジタル信号からADC124及び誤差演算回路125を介して生成された制御信号S41が時刻T2にGCA122に供給される。つまり、時刻T1におけるアナログ信号INにより生成した制御信号S41が時刻T2におけるアナログ信号INに作用する。

これら時刻T1、T2の差(=T2-T1)がADC124及び誤差演算回路125における処理時間であり、制御遅延(レイテンシ)である。そして、この時刻T2に供給される制御信号S41はその時のアナログ信号INに対して適切ではない(制御信号S41は、時刻T1におけるアナログ信号INの値と目標値との差に基づく演算値は含んでいるが、時刻T2におけるアナログ信号INの値と目標値との差に基づく演算値を含んでいない)。従って、アナログ制御の精度が悪く、アナログ信号INの振幅が一定値に収束するまでに時間がかかっていた。

【0021】

本発明は、上記問題点を解決するためになされたものであって、その目的は、レイテンシに関わらず、精度の高いアナログ制御を行い得るアナログ制御方法、アナログ制御装置、及びAGCを提供することにある。

【0022】

【課題を解決するための手段】

請求項1に記載の発明によれば、アナログ信号をデジタル信号に変換し、該デジタル信号を演算処理して生成した制御信号に基づいて前記アナログ信号が制御される。この際、前記制御信号を生成する経路にて生じるレイテンシに対応して前記アナログ信号が遅延され、該遅延後のアナログ信号が制御される。

【0023】

請求項2に記載の発明によれば、アナログ信号をデジタル信号に変換し、該デジタル信号を演算処理して生成した制御信号に基づいて前記アナログ信号が制御される。この際、前記制御信号を生成する経路にて生じるレイテンシに対応して前記アナログ信号がクロック信号に同期して遅延され、該遅延後のアナログ信号

が制御される。

【 0 0 2 4 】

請求項 3 に記載の発明によれば、前記制御信号は、所定のタイミングでサンプリングされる前記アナログ信号のサンプリング値に基づいて生成される。そして、前記アナログ信号の遅延は、前記制御信号が前記サンプリングタイミングに対応した値を持つアナログ信号に作用するような遅延に設定される。

【 0 0 2 5 】

請求項 4 に記載の発明によれば、前記制御信号は、所定のタイミングでサンプリングされる前記アナログ信号のサンプリング値に基づいて生成される。そして、前記アナログ信号の遅延は、前記制御信号が前記サンプリングタイミングに対し、それ以前のサンプリングタイミングに対応した値を持つアナログ信号に作用するような遅延、即ち前記レイテンシ以上に設定される。

【 0 0 2 6 】

請求項 5 に記載の発明によれば、制御信号に基づき設定されたゲインにてアナログ信号を制御するアナログ制御回路は、前記アナログ信号を A/D 変換する ADC と、該 ADC の出力信号を演算処理して前記制御信号を生成するデジタル演算回路とで生じるレイテンシに対応した遅延が設定される遅延回路を介して入力されるアナログ信号を制御する。

【 0 0 2 7 】

請求項 6 に記載の発明によれば、前記遅延回路は、一又は複数の遅延段数にて構成され、相補的にオンオフ制御される一対のスイッチの開閉に基づき前記アナログ信号をクロック信号に同期して遅延させる。

【 0 0 2 8 】

請求項 7 に記載の発明によれば、選択回路は、前記遅延回路の遅延段数を、前記アナログ信号のサンプリング値に応じて所定の遅延段数（0 段を含む）に変更させる。

【 0 0 2 9 】

請求項 8 に記載の発明によれば、AGC は、アナログ信号を制御信号に基づいて所定のゲインにて制御する第 1 の GCA と、前記第 1 の GCA の出力信号を A

／D変換するADCと、前記ADCの出力信号と、前記第1のGCAの出力信号が該ADCの入力レベルに対しほぼフルレンジとなるように予め設定された目標値との誤差を算出する誤差演算回路と、前記誤差演算回路の出力信号をD／A変換して前記制御信号を出力するDACと、から構成される第1の制御ループを持つ。そして、このAGCには、前記第1の制御ループにて生じるレイテンシに対応して前記アナログ信号を遅延させる遅延回路と、前記アナログ信号を前記制御信号に基づき設定される所定のゲインにて制御する第2のGCAとを備え、該第2のGCAは前記遅延回路を介して遅延されたアナログ信号を制御する。

【0030】

請求項9に記載の発明によれば、AGCは、アナログ信号をA／D変換するADCと、前記ADCの出力信号に基づいて前記アナログ信号の複数のサンプリング値の平均値を算出する平均処理回路と、前記平均値に基づいて前記アナログ信号を制御するためのゲインを選択し、制御信号を生成するゲインセレクト回路と、前記ADC、平均処理回路、及びゲインセレクト回路にて生じるレイテンシに対応して前記アナログ信号を遅延させる遅延回路と、前記制御信号に基づき切り替えたゲインにて前記アナログ信号を制御するゲイン切替えアンプとを備える。そして、ゲイン切替えアンプは、前記遅延回路を介して遅延されたアナログ信号を制御する。

【0031】

【発明の実施の形態】

（第一実施形態）

以下、本発明を具体化した第一実施形態を図1～図3に従って説明する。

【0032】

図1は、本実施形態のアナログ制御装置を示す概略構成図である。

アナログ制御装置11は、アナログ遅延回路（以下、遅延回路）12と、アナログ制御回路（以下、制御回路）13と、A／D変換回路（以下、ADC）14と、デジタル演算回路（以下、演算回路）15とを含む。このアナログ制御装置11には、例えば記録媒体等から読み取りヘッド（図示略）を介して読み出されたデータであるアナログ信号INが入力され、入力されたアナログ信号INは該

アナログ制御装置 1 1 により制御され、次回路 1 6 に伝達される。

【 0 0 3 3 】

アナログ信号 IN は、遅延回路 1 2 と ADC 1 4 とに入力される。

ADC 1 4 は、アナログ信号 IN をアナログーデジタル変換して生成したデジタル信号 S 1 を演算回路 1 5 に出力する。演算回路 1 5 は、デジタル信号 S 1 に基づいて所定の演算処理を実行し、その演算結果に基づいて生成した制御信号 S 2 を制御回路 1 3 に出力する。尚、ADC 1 4 及び演算回路 1 5 は、図示しない PLL 回路等にて生成されるクロック信号 CLK が供給され、該クロック信号 CLK に基づいて動作する。

【 0 0 3 4 】

遅延回路 1 2 は、アナログ信号 IN を予め設定された遅延値に基づいて遅延させ、アナログ信号 S 3 を制御回路 1 3 に出力する。詳述すると、遅延回路 1 2 には、上記 ADC 1 4 及び演算回路 1 5（即ち、制御信号 S 2 を生成する経路）での処理時間、即ち制御遅延（レイテンシ）と等しくなるように遅延値が設定されている。この遅延は、遅延回路 1 2 に設けられる一つ以上の容量によって実現され、その遅延値はそれら容量の容量値によって決定される。従って、遅延回路 1 2 は、ADC 1 4 及び演算回路 1 5 でのレイテンシと同じ遅延となるようにアナログ信号 IN を遅延させ、該遅延させたアナログ信号 S 3 を制御回路 1 3 に出力する。

【 0 0 3 5 】

上記遅延回路 1 2 の容量は、予め容量値が設定されて該遅延回路 1 2 に組み付けられる。尚、図 3 に示すように、容量値を可変可能とした容量 C を外付け素子として遅延回路 1 2 に接続し、その容量値をアナログ制御装置 1 1 の装置完成後に適宜調整可能とするようにしてもよい。

【 0 0 3 6 】

制御回路 1 3 は、アナログ信号 S 3 を演算回路 1 5 から出力される制御信号 S 2 に基づいて制御し、該制御結果に基づく出力信号 S 4 を次回路 1 6 に出力する。ちなみに、制御回路 1 3 は、次回路 1 6 の回路構成（アナログ回路又はデジタル回路）に基づいて、出力信号 S 4 をアナログ信号又はデジタル信号として出力

する。

【0037】

このように、アナログ信号 IN は、ADC 14 を介してデジタル信号 $S1$ に変換され、演算回路 15 は、該デジタル信号 $S1$ を演算処理して生成した制御信号 $S2$ を制御回路 13 に出力する。また、アナログ信号 IN は遅延回路 12 に入力される。そして、アナログ信号 IN は、ADC 14 及び演算回路 15 でのレイテンシと略同じ遅延となるように遅延回路 12 を介して遅延され、それにより遅延されたアナログ信号 $S3$ は制御回路 13 に入力される。従って、制御回路 13 は、ADC 14 にてサンプリングされたアナログ信号 IN の信号値と実質的に略同一値を持つアナログ信号 $S3$ を制御信号 $S2$ によって制御する。

【0038】

図 2 は、アナログ制御装置 11 の作用を示すアナログ信号の波形図である。

今、時刻 $T1$ にて、アナログ信号 IN が ADC 14 によりサンプリングされる。ADC 14 は、サンプリングホールドしたアナログ信号 IN をデジタル信号 $S1$ に変換し（時刻 $T2$ ）、次いで演算回路 15 は該デジタル信号 $S1$ を演算処理して生成した制御信号 $S2$ を時刻 $T3$ にて制御回路 13 に出力する。

【0039】

このとき、遅延回路 12 には $(T3 - T1)$ のレイテンシに相当する遅延値が設定され、遅延回路 12 はアナログ信号 IN をその遅延値に基づき遅延させたアナログ信号 $S3$ を制御回路 13 に出力する。その結果、時刻 $T1$ にて ADC 14 によりサンプリングされるアナログ信号 IN の信号値 ($v1$) と、時刻 $T3$ にて制御回路 13 により制御されるアナログ信号 $S3$ の信号値 ($v1'$) とは実質的に略同一となる。

【0040】

尚、図 2 には、遅延回路 12 を備えない場合（従来）に、時刻 $T3$ にて制御されるアナログ信号 IN の信号値 ($v2$) を比較の為示す。つまり、従来では、上記した $(T3 - T1)$ のレイテンシの影響により、時刻 $T1$ にてサンプリングしたアナログ信号 IN に基づき生成される制御信号 $S2$ は、時刻 $T3$ におけるアナログ信号 IN の信号値 ($v2$) に作用する。

【 0 0 4 1 】

以上記述したように、本実施形態によれば、以下の効果を奏する。

(1) アナログ制御装置 1 1 には、制御信号 S 2 を生成する経路（本実施形態では、ADC 1 4 及び演算回路 1 5）でのレイテンシに略相当する遅延が設定された遅延回路 1 2 が設けられ、アナログ信号 I N は遅延回路 1 2 と ADC 1 4 とに入力される。これにより、制御回路 1 3 は、ADC 1 4 によりサンプリングホールドされたアナログ信号 I N の信号値と実質的に略同一値となるアナログ信号 S 3 を制御信号 S 2 によって制御する。従って、アナログ信号 I N を制御するための制御信号 S 2 を生成する経路に生じるレイテンシの影響によって、該アナログ信号 I N の制御タイミングが遅れることが防止される。

【 0 0 4 2 】

(2) 又、本実施形態のように、発生するレイテンシに対応した遅延を遅延回路 1 2 に設定することで、該レイテンシに関わらずに制御タイミングの遅れを防止して、適切なアナログ制御を行うことができる。このように、精度の高いアナログ制御が可能となることにより、入力されるアナログ信号 I N に対し高速に収束させ得るアナログ制御を実現することができる。

【 0 0 4 3 】

(第二実施形態)

以下、本発明を具体化した第二実施形態を図 4 ～図 1 6 に従って説明する。

図 4 は、本実施形態のアナログ制御装置を示す概略構成図である。

【 0 0 4 4 】

尚、本実施形態は、上述した図 1 の遅延回路 1 2 によるアナログ信号 I N の遅延をクロック信号 C L K に同期させて行う場合について説明するものであり、上記遅延回路 1 2 の構成を遅延回路 2 2 に変更したものである。従って、第一実施形態と同様な構成部分については、同一符号を付してその詳細な説明を一部省略する。

【 0 0 4 5 】

アナログ制御装置 2 1 の遅延回路 2 2 には、クロック信号 C L K が供給される。そして、遅延回路 2 2 は、上記 ADC 1 4 及び演算回路 1 5 でのレイテンシと

略同じ遅延となるようにアナログ信号 IN をクロック信号 CLK と同期して遅延させる所定の遅延段数で構成される。

【 0 0 4 6 】

このように構成されたアナログ制御装置 2 1 では、上記同様にして制御回路 1 3 は、ADC 1 4 によりサンプリングされたアナログ信号 IN の信号値 (v 1) と実質的に略同一となるようなアナログ信号 S 3 の信号値 (v 1 ') を制御信号 S 2 によって制御する (図 2 参照)。

【 0 0 4 7 】

図 5 は、図 4 の遅延回路 2 2 の具体的構成を示す回路図である。尚、ここでは、例としてクロック信号 CLK の 2 クロック分の遅延を設定 (即ち、遅延段数を 2 段に設定) する場合について説明する。

【 0 0 4 8 】

遅延回路 2 2 は、第 1 ~ 第 4 バッファ 3 1 a ~ 3 1 d と、第 1 ~ 第 8 スイッチ素子 (以下、スイッチ) 3 2 a ~ 3 2 h と、第 1 ~ 第 4 容量 3 3 a ~ 3 3 d とを含む。

【 0 0 4 9 】

第 1 バッファ 3 1 a は、第 1 及び第 2 スイッチ 3 2 a , 3 2 b を介して第 2 バッファ 3 1 b に接続され、該第 2 バッファ 3 1 b は、第 3 及び第 4 スイッチ 3 2 c , 3 2 d を介して第 4 バッファ 3 1 d に接続される。

【 0 0 5 0 】

又、第 1 バッファ 3 1 a は、第 5 及び第 6 スイッチ 3 2 e , 3 2 f を介して第 3 バッファ 3 1 c に接続され、該第 3 バッファ 3 1 c は第 7 及び第 8 スイッチ 3 2 g , 3 2 h を介して第 4 バッファ 3 1 d に接続される。

【 0 0 5 1 】

第 1 容量 3 3 a は、その一端が、第 1 及び第 2 バッファ 3 1 a , 3 1 b 間に介在される第 1 スイッチ 3 2 a と第 2 スイッチ 3 2 b との接続点に接続され、他端はグラウンド GND に接続される。

【 0 0 5 2 】

第 2 容量 3 3 b は、その一端が、第 2 及び第 4 バッファ 3 1 b , 3 1 d 間に介

在される第3スイッチ32cと第4スイッチ32dとの接続点に接続され、他端はグランドGNDに接続される。

【0053】

第3容量33cは、その一端が、第1及び第3バッファ31a、31c間に介在される第5スイッチ32eと第6スイッチ32fとの接続点に接続され、他端はグランドGNDに接続される。

【0054】

第4容量33dは、その一端が、第3及び第4バッファ31c、31d間に介在される第7スイッチ32gと第8スイッチ32hとの接続点に接続され、他端はグランドGNDに接続される。

【0055】

ちなみに、本実施形態の第1～第4バッファ31a～31dは、図6に示すようにボルテージフォロアとして機能するバッファであって、増幅率が「1」倍のオペアンプにて構成されている。尚、第1～第4バッファ31a～31dは、増幅率が1以外のオペアンプで構成されてもよい。又、本実施形態の第1～第4容量33a～33dは、上述した図3に示すように可変容量としてもよい。

【0056】

第1～第8スイッチ32a～32hは、例えばNチャネル型MOSトランジスタにて構成されるスイッチであり、各スイッチ32a～32hは同一に構成されている。従って、第1～第8スイッチ32a～32hは、Hレベルの制御信号に基づいてオンに制御され、逆に、Lレベルの制御信号に基づいてオフに制御される。

【0057】

そして、第1、第4、第6、第7スイッチ32a、32d、32f、32g（以下、第1のスイッチ群という）と、第2、第3、第5、第8スイッチ32b、32c、32e、32h（以下、第2のスイッチ群という）とは、相補的にオンオフ制御される。即ち、第1～第8スイッチ32a～32hをオンオフ制御する制御信号は第1のスイッチ群に入力され、該制御信号の反転出力信号は第2のスイッチ群に入力される。従って、第1及び第2スイッチ32a、32b、第3及

び第4スイッチ32c、32d、第5及び第6スイッチ32e、32f、第7及び第8スイッチ32g、32hは、それぞれ互いのスイッチが交互にオン又はオフに制御される。

【0058】

このように構成された遅延回路22では、図7に示すように、例えばHレベルの制御信号に基づいて第1のスイッチ群がオンに制御されるとき、第2のスイッチ群がオフに制御される。この状態では、第1バッファ31aに入力されるアナログ信号INの信号値（電圧）はオンした第1スイッチ32aを介して第1容量33aに保持され、第2容量33bに保持されている電圧はオンした第4スイッチ32dを介して第4バッファ31dに伝達される。また、第3容量33cに保持されている電圧は、オンした第6及び第7スイッチ32f、32gにより第3バッファ31cを介して第4容量33dに保持される。

【0059】

一方、図8に示すように、Lレベルの制御信号に基づいて第1のスイッチ群がオフに制御されるとき、第2のスイッチ群がオンに制御される。この状態では、第1容量33aに保持されている電圧は、オンした第2及び第3スイッチ32b、32cにより第2バッファ31bを介して第2容量33bに保持される。また、第1バッファ31aに入力される電圧はオンした第5スイッチ32eを介して第3容量33cに保持され、第4容量33dに保持されている電圧はオンした第8スイッチ32hを介して第4バッファ31dに伝達される。

【0060】

図9は、遅延回路22の各入力信号を示す波形図である。

第1～第8スイッチ32a～32hは、クロック信号CLKに基づき生成される制御信号SG1又は制御信号SG2によってオンオフ制御される。詳しくは、第1のスイッチ群（第1、第4、第6、第7スイッチ32a、32d、32f、32g）は制御信号SG1により制御され、第2のスイッチ群（第2、第3、第5、第8スイッチ32b、32c、32e、32h）は制御信号SG2により制御される。

【0061】

今、図9に示すように、時刻 T_1 、 T_2 、 T_3 、 T_4 、 T_5 、 T_6 にて、アナログ信号 IN の信号値（電圧）が $ADC14$ によりサンプリングされる。このとき、サンプリングホールドされる各電圧は、それぞれ V_{t1} 、 V_{t2} 、 V_{t3} 、 V_{t4} 、 V_{t5} 、 V_{t6} である。

【0062】

このように、クロック信号 CLK の立ち上がり（時刻 $T_1 \sim T_6$ ）に基づいてアナログ信号 IN がサンプリングされる場合、制御信号 $SG1$ 、 $SG2$ は、クロック信号 CLK が2分周されて生成される信号となる。そして、上述したように、各制御信号 $SG1$ 、 $SG2$ は互いに反転された信号であり、第1のスイッチ群はHレベルの制御信号 $SG1$ が入力される時にオンされ、第2のスイッチ群はHレベルの制御信号 $SG2$ が入力される時にオンされる。

【0063】

図10～図15は、図9の制御信号 $SG1$ 、 $SG2$ による遅延回路22の動作状態を示す回路図である。

上記時刻 T_1 において、第1のスイッチ群がHレベルの制御信号 $SG1$ によりオンされる時、第2のスイッチ群がLレベルの制御信号 $SG2$ によりオフされる。このとき、図10に示すように、第1バッファ31aに入力される電圧 V_{t1} は、オンした第1スイッチ32aにより第1容量33aに保持される。

【0064】

次に、時刻 T_2 において、第1のスイッチ群がLレベルの制御信号 $SG1$ によりオフされる時、第2のスイッチ群がHレベルの制御信号 $SG2$ によりオンされる。このとき、図11に示すように、第1容量33aに保持されている電圧 V_{t1} は、オンした第2及び第3スイッチ32b、32cにより第2バッファ31bを介して第2容量33bに保持される。更に、このとき第1バッファ31aに入力される電圧 V_{t2} は、オンした第5スイッチ32eにより第3容量33cに保持される。

【0065】

次に、時刻 T_3 において、第1のスイッチ群がHレベルの制御信号 $SG1$ によりオンされる時、第2のスイッチ群がLレベルの制御信号 $SG2$ によりオフされ

る。即ち、遅延回路 2 2 は、上記時刻 T_1 における動作状態と同じになる。このとき、図 1 2 に示すように、第 2 容量 3 3 b に保持されている電圧 V_{t1} は、オンした第 4 スイッチ 3 2 d により第 4 バッファ 3 1 d に伝達される。また、第 3 容量 3 3 c に保持されている電圧 V_{t2} は、オンした第 6 及び第 7 スイッチ 3 2 f, 3 2 g により第 3 バッファ 3 1 c を介して第 4 容量 3 3 d に保持される。更に、このとき第 1 バッファ 3 1 a に入力される電圧 V_{t3} は、オンした第 1 スイッチ 3 2 a により第 1 容量 3 3 a に保持される。

【 0 0 6 6 】

以下同様に、時刻 $T_4 \sim T_6$ において、第 1 のスイッチ群と第 2 のスイッチ群とが交互にオンオフされ、図 1 3 ～図 1 5 に示すように第 1 バッファ 3 1 a に入力される電圧 $V_{t4} \sim V_{t6}$ は、オンしたスイッチ及びバッファを介して伝達される。そして、第 4 バッファ 3 1 d には、各時刻 T_4 , T_5 , T_6 にて、電圧 V_{t2} , V_{t3} , V_{t4} が順次伝達される。

【 0 0 6 7 】

図 1 6 は、遅延回路 2 2 によるアナログ信号 IN (電圧 $V_{t1} \sim V_{t6}$) の遅延を示すタイミングチャートである。

同図に示すように、時刻 T_1 にて第 1 バッファ 3 1 a に入力される電圧 V_{t1} は、時刻 T_3 にて第 4 バッファ 3 1 d に伝達され、即ちクロック信号 CLK の 2 クロック分遅延されて出力される。同様に、時刻 $T_2 \sim T_6$ にて第 1 バッファ 3 1 a に順次入力される電圧 $V_{t2} \sim V_{t6}$ は、クロック信号 CLK の 2 クロック分遅延されて出力される。

【 0 0 6 8 】

以上記述したように、本実施形態によれば、以下の効果を奏する。

(1) 遅延回路 2 2 は、アナログ信号 IN をクロック信号 CLK に同期して遅延させる。この遅延回路 2 2 は、制御信号 S_2 を生成する経路 (本実施形態では、ADC 1 4 及び演算回路 1 5) でのレイテンシに対応した遅延を持つ遅延段数で構成される。従って、上記第一実施形態と同様に、アナログ信号 IN の制御タイミングの遅れを防止して、高速収束させ得る精度の高いアナログ制御が可能となる。

【 0 0 6 9 】

(第三実施形態)

以下、本発明を具体化した第三実施形態を図 1 7 に従って説明する。

同図は、上記第二実施形態のアナログ制御装置 2 1 (クロック信号 CLK に同期して遅延させる場合) を、自動利得制御装置 (以下、AGC (Automatic Gain Controller)) に具体化した例を示すブロック図である。

【 0 0 7 0 】

AGC 4 1 は、ローパスフィルタ (以下、LPF) 4 2、アナログ遅延回路 (以下、遅延回路) 4 3、第 1 及び第 2 の利得制御アンプ (以下、GCA) としての GCA 4 4、4 5、ADC 4 6、4 7、誤差演算回路 4 8、D/A 変換回路 (以下、DAC) 4 9 を含む。

【 0 0 7 1 】

本実施形態の AGC 4 1 では、GCA 4 4 と、ADC 4 6 と、誤差演算回路 4 8 と、DAC 4 9 とから第 1 の制御ループとしての制御ループ R 1 が構成され、該制御ループ R 1 のフィードバック信号 (DAC 4 9 の出力信号) は、GCA 4 4 及び GCA 4 5 に入力される。尚、上記遅延回路 4 3、ADC 4 6、4 7、誤差演算回路 4 8 は、図示しない PLL 回路等から供給されるクロック信号 CLK に基づいて動作する。

【 0 0 7 2 】

アナログ信号 IN は、LPF 4 2 に入力される。LPF 4 2 は、アナログ信号 IN から高周波数成分を除去したアナログ信号 S 1 1 を GCA 4 4 及び遅延回路 4 3 に出力する。

【 0 0 7 3 】

GCA 4 4 は、LPF 4 2 から出力されるアナログ信号 S 1 1 を、DAC 4 6 から出力される制御信号 S 1 2 に基づき設定したゲインにて制御し、該制御された振幅を持つアナログ信号 S 1 3 を ADC 4 6 に出力する。

【 0 0 7 4 】

ADC 4 6 は、アナログ信号 S 1 3 をアナログ-デジタル変換して生成したデジタル信号 S 1 4 を誤差演算回路 4 8 に出力する。

誤差演算回路48は、予め定められた目標値と上記デジタル信号S14とを比較し、その誤差成分を積分して生成したデジタル信号S15をDAC49に出力する。ここで、目標値とは、GCA44から出力されるアナログ信号S13の振幅をADC46の入力レベルに対しほぼフルレンジとなるようにする値である。尚、本実施形態の誤差演算回路48は、上述した図34に示す誤差演算回路125と同様に構成されているため、その詳細な説明を省略する。

【0075】

DAC49は、誤差演算回路48から出力されるデジタル信号S15をデジタル-アナログ変換して生成した上記制御信号S12をGCA44及びGCA45に出力する。

【0076】

このように、制御ループR1では、GCA44のアナログ信号S13を基に生成した制御信号S12をフィードバックすることで該GCA44のゲインを最適化し、ADC46の入力レンジに対応する振幅を持つアナログ信号S13を得るようにしている。そして、制御ループR1にてDAC49から出力される制御信号S12は、GCA44及びGCA45に入力される。

【0077】

遅延回路43は、制御ループR1でのレイテンシに対応した遅延を持つ遅延段数で構成されている。尚、本実施形態において、制御ループR1で生じるレイテンシは誤差演算回路48で生じるレイテンシと実質的に等しい。そのため、遅延回路43には、誤差演算回路48でのレイテンシに対応した遅延を持つ遅延段数で構成されている。

【0078】

詳しくは、遅延回路43は、上述した2段の遅延段数で構成される遅延回路22（図4参照）を、誤差演算回路48のレイテンシに対応してクロック信号CLKの3クロック分の遅延を持つ3段の遅延段数で構成されている。つまり、遅延回路43は、上記LPF42から出力されるアナログ信号S11を、供給されるクロック信号CLKに基づき3クロック分遅延させたアナログ信号S16をGCA45に出力する。

【 0 0 7 9 】

GCA 4 5 は、遅延回路 4 3 から出力されるアナログ信号 S 1 6 を、上記 DAC 4 9 の制御信号 S 2 に基づき設定したゲインにて制御し、該制御された振幅を持つアナログ信号 S 1 7 を ADC 4 7 に出力する。このとき、GCA 4 5 により制御されるアナログ信号 S 1 6 の信号値は、上記 LPF 4 2 から出力され、GCA 4 4 及び遅延回路 4 3 に入力されるアナログ信号 S 1 1 の信号値と実質的に同じである。

【 0 0 8 0 】

そして、ADC 4 7 は、アナログ信号 S 1 7 をアナログーデジタル変換して生成したデジタル信号 S 1 8 を次回路としてのデジタル回路に出力する。

尚、次回路がアナログ回路にて構成されている場合には、該アナログ回路には GCA 4 5 から出力されるアナログ信号 S 1 7 が入力される。

【 0 0 8 1 】

次に、上記のように構成される AGC 4 1 の作用について説明する。

LPF 4 2 から出力されるアナログ信号 S 1 1 は、制御ループ R 1 を構成する GCA 4 4 に入力されるとともに、遅延回路 4 3 に入力される。制御ループ R 1 では、GCA 4 4 から出力されるアナログ信号 S 1 3 が誤差演算され、該 GCA 4 4 のゲインを最適化するように生成された制御信号 S 1 2 がフィードバック信号として GCA 4 4 に入力される。又、このフィードバック信号としての制御信号 S 1 2 は、GCA 4 5 に入力される。

【 0 0 8 2 】

GCA 4 5 には、遅延回路 4 3 を介してアナログ信号 S 1 1 がクロック信号 CLK の 3 クロック分遅延されたアナログ信号 S 1 6 が入力される。この遅延回路 4 3 には、制御ループ R 1 でのレイテンシと略同じ遅延が設定されている。これにより、GCA 4 5 は、制御ループ R 1 で生じるレイテンシに影響されずに、入力されるアナログ信号 S 1 6 を制御信号 S 1 2 に基づき設定したゲインにて制御し、該制御された振幅を持つアナログ信号 S 1 7 を生成する。

【 0 0 8 3 】

つまり、このように構成される AGC 4 1 では、制御ループ R 1 で生じるレイ

テンシに関わらず、アナログ信号 S 1 6 を制御するための制御信号 S 1 2 が G C A 4 5 に遅れず伝達される。

【 0 0 8 4 】

尚、本実施形態では、遅延回路 4 3 は、制御ループ R 1 でのレイテンシと対応した遅延を持つ遅延段数にて構成されているが、該レイテンシ以上の遅延を持つ遅延段数にて構成してもよい。このように、レイテンシ以上の遅延を持つ遅延段数にて遅延回路 4 3 を構成することで、制御するアナログ信号 S 1 6 の信号値を、それ以降にサンプリングされるアナログ信号 S 1 6 の信号値を加味して生成した制御信号 S 1 2 によって制御することができる。

【 0 0 8 5 】

以上記述したように、本実施形態によれば、以下の効果を奏する。

(1) 遅延回路 4 3 は、制御ループ R 1 でのレイテンシに対応した遅延を持つ遅延段数にて構成される。従って、G C A 4 5 は、制御ループ R 1 にてサンプリングされるアナログ信号 S 1 1 と実質的に略同一値となるアナログ信号 S 1 6 を該制御ループ R 1 にて生成される制御信号 S 1 2 によって制御する。従って、上記第一及び第二実施形態と同様に、アナログ信号 I N の制御タイミングの遅れを防止して、高速収束させ得る精度の高いアナログ制御が可能となる。

【 0 0 8 6 】

(2) 遅延回路 4 3 の遅延段数をレイテンシ以上の遅延となるように設定することにより、制御するアナログ信号 S 1 6 の信号値を、それ以降にサンプリングされるアナログ信号 S 1 6 の信号値を加味して制御することができる。このように構成することで、さらに高精度なアナログ制御が実現可能となる。

【 0 0 8 7 】

(第四実施形態)

以下、本発明を具体化した第四実施形態を図 1 8 に従って説明する。

同図は、上記第二実施形態のアナログ制御装置 2 1 (クロック信号 C L K に同期して遅延させる場合) を A G C 5 1 に具体化した例を示すブロック図である。

尚、本実施形態の A G C 5 1 は、上記第三実施形態の A G C 4 1 に、G C A 5 2 、誤差演算回路 5 3 、D A C 5 4 を追加して構成したものであり、その他の構成

部分は同様に構成されている。従って、第三実施形態と同様な構成部分には同一符号を付してその詳細な説明を省略する。

【0088】

このAGC51には、GCA52と、ADC47と、誤差演算回路53と、DAC54とから第2の制御ループとしての制御ループR2が構成され、該制御ループR2は、上記GCA45の出力段に接続されている。この制御ループR2は、上記制御ループR1と同様に構成されている。

【0089】

このように構成されるAGC51では、GCA45から出力されるアナログ信号S17がさらに制御ループR2を介して誤差演算されることにより、GCA52のゲインが最適化される。これにより、該GCA52から出力されるアナログ信号が、ADC47の入力レンジに対応する振幅を得るようにしている。

【0090】

ちなみに、本実施形態では、レイテンシの影響を受けないGCA45にて粗い（大まかな）ゲイン制御をした後に、細かなゲイン制御を制御ループR2のGCA52にて実施する。従って、制御ループR2に存在するレイテンシが、アナログ制御に与える影響は小さくなる。

【0091】

以上記述したように、本実施形態によれば、以下の効果を奏する。

(1) GCA45から出力されるアナログ信号S17は、制御ループR2にてさらに誤差演算される。従って、上記第三実施形態のAGC41に比べてより細かなゲイン制御が可能である。この際、GCA52は、制御ループR1にて生成される制御信号S12に基づきGCA45にて大まかな制御がなされたアナログ信号S17を制御するため、制御ループR2でのレイテンシによる影響は小さなものとなる。

【0092】

(第五実施形態)

以下、本発明を具体化した第五実施形態を図19～図22に従って説明する。

図19は、上記第二実施形態のアナログ制御装置21（クロック信号CLKに

同期して遅延させる場合)をAGC61に具体化した例を示すブロック図である。このAGC61は、LPF62と、ADC63、64と、遅延回路65と、平均処理回路66と、ゲインセレクト回路67と、ゲイン切替えアンプ68とを含む。尚、ADC63、64、遅延回路65、平均処理回路66、ゲインセレクト回路67は、供給されるクロック信号CLKに基づいて動作する。

【0093】

アナログ信号INはLPF62に入力される。LPF62は、アナログ信号INから高周波数成分を除去したアナログ信号S21を出力し、そのアナログ信号S21は、ADC63及び遅延回路65に入力される。

【0094】

ADC63は、サンプリングホールドしたアナログ信号S21をアナログーデジタル変換して生成したデジタル信号S22を平均処理回路66に出力する。

平均処理回路66は、ADC63によりサンプリングされたサンプリング値を持つデジタル信号S22に基づいて、それらサンプリング値の平均値を算出して生成した出力信号S23をゲインセレクト回路67に出力する。

【0095】

ゲインセレクト回路67は、平均処理回路66の出力信号S23（サンプリング値の平均値）に基づいてゲイン切替えアンプ68のゲインを選択し、そのゲインに切り替えるべく制御信号S24を該切替えアンプ68に出力する。つまり、ゲイン切替えアンプ68は、ゲインセレクト回路67の制御信号S24に基づいてゲインを切り替える。

【0096】

遅延回路65には、上記ADC63、平均処理回路66、ゲインセレクト回路67でのレイテンシに対応した遅延を持つ遅延段数で構成されている。従って、遅延回路65は、上記LPF62から出力されるアナログ信号S21を、供給されるクロック信号CLKに基づいて上記レイテンシに対応するクロック数だけ遅延させたアナログ信号S25をゲイン切替えアンプ68に出力する。

【0097】

ゲイン切替えアンプ68は、遅延回路65から出力されるアナログ信号S25

を、ゲインセレクト回路 6 7 の制御信号 S 2 4 に基づいて切り替えたゲインにて制御し、該制御された振幅を持つアナログ信号 S 2 6 を ADC 6 4 に出力する。この際、ゲイン切替えアンプ 6 8 は、ADC 6 3 及び遅延回路 6 5 に入力されるアナログ信号 S 2 1 の信号値と実質的に略同一値となるアナログ信号 S 2 5 を制御する。

【 0 0 9 8 】

そして、ADC 6 4 は、ゲイン切替えアンプ 6 8 から出力されるアナログ信号 S 2 6 をアナログーデジタル変換して生成したデジタル信号 S 2 7 を次回路としてのデジタル回路に出力する。

【 0 0 9 9 】

尚、次回路がアナログ回路にて構成されている場合には、該アナログ回路にはゲイン切替えアンプ 6 8 から出力されるアナログ信号 S 2 6 が入力される。

図 2 0 は、平均処理回路 6 6 及びゲインセレクト回路 6 7 の一例を示すブロック図である。

【 0 1 0 0 】

平均処理回路 6 6 は、その入力段に複数段（例えば 4 段）のフリップフロップ（以下、FF）6 6 a ～ 6 6 d を備える。即ち、本実施形態では、平均処理回路 6 6 は、上記 ADC 6 3 によりサンプリングされた 4 つのサンプリング値の平均値を算出する。

【 0 1 0 1 】

詳しくは、FF 6 6 a ～ 6 6 d は、ADC 6 3 によりサンプリングされるサンプリング値 D 1 ～ D 4 をそれぞれラッチして出力する。平均処理回路 6 6 は、それらサンプリング値 D 1 ～ D 4 の平均値 H を算出し、その平均値 H の情報を持つ出力信号 S 2 3 （図 1 9 参照）をゲインセレクト回路 6 7 に出力する。

【 0 1 0 2 】

ゲインセレクト回路 6 7 には、平均処理回路 6 6 にて算出される平均値 H に対応したゲイン G が予め設定されている。

例えば、ゲインセレクト回路 6 7 は、平均値 H が第 1 基準値 L 1 以下である時にゲイン $G = G_1$ （例えば 2 倍）、第 1 基準値 L 1 より大きく第 2 基準値 L 2 以

下である時にゲイン $G = G_2$ （例えば 1 倍）、第 2 基準値 L_2 より大きい時にゲイン $G = G_3$ （例えば 0.5 倍）を選択する。

【0103】

上記第 1 及び第 2 基準値 L_1 、 L_2 は、ADC 63 がサンプリングするアナログ信号 S_{21} の信号値に対応した値でゲインセレクト回路 67 に予め設定される。そして、ゲインセレクト回路 67 は、算出される平均値 H に基づきゲイン $G = G_1 \sim G_3$ のうちいずれかのゲイン G を選択し、そのゲイン G の情報を持つ制御信号 S_{24} （図 19 参照）をゲイン切替えアンプ 68 に出力する。

【0104】

従って、このように構成された平均処理回路 66 及びゲインセレクト回路 67 を備える AGC 61 において、遅延回路 65 は、該平均処理回路 66 及びゲインセレクト回路 67 のレイテンシと略同じ遅延を持つ遅延段数にて構成される。つまり、遅延回路 65 は、4 段の FF 66a ~ 66d に対応してクロック信号 CLK の 4 クロック分の遅延を持つ 4 段の遅延段数で構成されている。

【0105】

尚、平均処理回路 66 及びゲインセレクト回路 67 は高速動作する。従って、それらを考慮し、パイプラインとして機能する FF をゲインセレクト回路 67 の出力段に設けてもよい。このような構成とする場合には、出力段に設けられる FF の段数に対応して遅延回路 65 を構成する遅延段数を適宜変更する。

【0106】

次に、上記のように構成される AGC 61 の作用について説明する。

図 21 は、ADC 63 によりサンプリングされるアナログ信号 S_{21} のサンプリング例を示す波形図であり、ここでは例として各周期毎に 4 つの信号値がサンプリングされる場合（サンプリング値 $p_1 \sim p_{28}$ ）を示す。そして、図 22 は、それらサンプリング値 $p_1 \sim p_{28}$ のうち、例えばサンプリング値 $p_7 \sim p_{10}$ の平均値を算出する平均処理回路 66 及びゲインセレクト回路 67 を示すブロック図である。

【0107】

今、遅延回路 65 の遅延段数は「0」に設定されている（即ち、遅延回路 65

に遅延は設定されていない)。

平均処理回路 6 6 は、サンプリング値 $p 7 \sim p 1 0$ の平均値 H を算出し、ゲインセレクト回路 6 7 は、その平均値 H に基づいて選択したゲイン G に切り替えるべく制御信号 $S 2 4$ をゲイン切替えアンプ 6 8 に出力する。このとき、ゲイン切替えアンプ 6 8 は、サンプリング値 $p 1 0$ のサンプリングタイミングに対応する値を持つアナログ信号 $S 2 5$ を、ゲインセレクト回路 6 7 の制御信号 $S 2 4$ に基づいて切り替えたゲイン G にて制御する。つまり、遅延回路 6 5 に遅延が設定されていないため、4 つのサンプリング値 $p 7 \sim p 1 0$ に基づき生成される制御信号 $S 2 4$ は、サンプリング値 $p 1 0$ のサンプリングタイミングに対応する信号値と実質的に略同一値となるアナログ信号 $S 2 5$ に作用する。

【0108】

そして、遅延回路 6 5 の遅延段数が「1」に設定される際には、ゲイン切替えアンプ 6 8 は、サンプリング値 $p 9$ のサンプリングタイミングに対応する値を持つアナログ信号 $S 2 5$ を、サンプリング値 $p 7 \sim p 1 0$ の平均値 H に基づき切り替えたゲイン G にて制御する。つまり、この場合には、遅延回路 6 5 は、アナログ信号 $S 2 1$ を 1 クロック分遅延させたアナログ信号 $S 2 5$ をゲイン切替えアンプ 6 8 に出力する。従って、4 つのサンプリング値 $p 7 \sim p 1 0$ に基づき生成される制御信号 $S 2 4$ は、サンプリング値 $p 9$ のサンプリングタイミングに対応する信号値と実質的に略同一値となるアナログ信号 $S 2 5$ に作用する。

【0109】

同様にして、遅延回路 6 5 の遅延段数が「2」に設定される際には、アナログ信号 $S 2 1$ が 2 クロック分遅延されるため、制御信号 $S 2 4$ は、サンプリング値 $p 8$ のサンプリングタイミングに対応する値を持つアナログ信号 $S 2 5$ に作用する。

【0110】

このように、本実施形態の AGC 6 1 では、遅延回路 6 5 の遅延段数を変更することで、複数のサンプリング値の平均値に基づき生成される制御信号 $S 2 4$ をアナログ信号 $S 2 5$ の任意の信号値に作用させることができる。

【0111】

そして、遅延回路 6 5 を平均処理回路 6 6、ゲインセレクト回路 6 7 でのレイテンシ以上の遅延を持つ遅延段数で構成することで、制御対象となるアナログ信号 S 2 5 の信号値より以降にサンプリングされるサンプリング値を加味して生成した制御信号 S 2 4 による制御が可能となる。（例えば、遅延回路 6 5 を 4 段の遅延段数で構成することにより、サンプリング値 $p_7 \sim p_{10}$ の平均値 H に基づき生成した制御信号 S 2 4 をサンプリング値 p_6 のサンプリングタイミングに対応する値を持つアナログ信号 S 2 5 に作用させることができる。）

以上記述したように、本実施形態によれば、以下の効果を奏する。

【0 1 1 2】

(1) 平均処理回路 6 6 は、複数のサンプリング値の平均値 H を算出する。ゲインセレクト回路 6 7 は、その平均値 H に基づきゲイン G を選択して制御信号 S 2 4 を生成し、該制御信号 S 2 4 によりゲイン切替えアンプ 6 8 のゲインが切り替えられる。そして、遅延回路 6 5 は、ADC 6 3、平均処理回路 6 6 及びゲインセレクト回路 6 7 でのレイテンシに対応してアナログ信号 S 2 1 を遅延させる。従って、上記各実施形態と同様に、アナログ信号 IN の制御タイミングの遅れを防止して、高速収束させ得る精度の高いアナログ制御が可能となる。

【0 1 1 3】

(2) 遅延回路 6 5 に設定される遅延を変更することで、複数のサンプリング値の平均値 H より生成した制御信号 S 2 4 を、それらのサンプリングタイミングのいずれかに対応した値を持つアナログ信号 S 2 5 に作用させることができる。そして、発生するレイテンシ以上に遅延回路 6 5 の遅延を設定することで、実際の制御対象となるアナログ信号 S 2 5 の信号値に対して、それ以降にサンプリングされるサンプリング値を加味して生成した制御信号 S 2 4 による制御が可能となり、さらに高精度なアナログ制御が実現可能となる。

【0 1 1 4】

(第六実施形態)

以下、本発明を具体化した第六実施形態を図 2 3 に従って説明する。

同図は、上記第二実施形態のアナログ制御装置 2 1 (クロック信号 CLK に同期して遅延させる場合) を AGC 7 1 に具体化した例を示すブロック図である。

尚、本実施形態のAGC71は、上記第五実施形態のAGC61に、GCA72、誤差演算回路73、DAC74を追加して構成したものであり、その他の構成部分は同様に構成されている。従って、第五実施形態と同様な構成部分には同一符号を付してその詳細な説明を省略する。

【0115】

本実施形態のAGC71には、GCA72と、ADC64と、誤差演算回路73と、DAC74とから制御ループR3が構成され、該制御ループR3は、上記ゲイン切替えアンプ68の出力段に接続されている。この制御ループR3は、上記第四実施形態の制御ループR1、R2と同様に構成されている。

【0116】

このように構成されるAGC71では、ゲイン切替えアンプ68から出力されるアナログ信号S26が制御ループR3を介してさらに誤差演算されることにより、GCA72のゲインが最適化される。これにより、該GCA72から出力されるアナログ信号が、ADC64の入力レンジに対応する振幅を得るようにしている。

【0117】

ちなみに、本実施形態では、レイテンシの影響を受けないゲイン切替えアンプ68にて粗い（大まかな）ゲイン制御をした後に、細かなゲイン制御を制御ループR3のGCA72にて実施する。従って、制御ループR3に存在するレイテンシが、アナログ制御に与える影響は小さくなる。

【0118】

以上記述したように、本実施形態によれば、以下の効果を奏する。

(1) ゲイン切替えアンプ68から出力されるアナログ信号S26は、制御ループR3にてさらに誤差演算される。従って、上記第五実施形態のAGC61に比べてより細かなゲイン制御が可能である。この際、GCA72は、上記制御信号S24に基づきゲイン切替えアンプ68にて大まかな制御がなされたアナログ信号S26を制御するため、制御ループR3でのレイテンシによる影響は小さなものとなる。

【0119】

(第七実施形態)

以下、本発明を具体化した第七実施形態を図 2 4 に従って説明する。

同図は、上記第二実施形態のアナログ制御装置 2 1 (クロック信号 CLK に同期して遅延させる場合) を AGC 8 1 に具体化した例を示すブロック図である。尚、本実施形態の AGC 8 1 は、上記第五実施形態の AGC 6 1 を 2 段で構成したものであるため、同様な構成部分には同一符号を付してその詳細な説明を省略する。

【0 1 2 0】

つまり、AGC 8 1 は、上記ゲイン切替えアンプ 6 8 の出力段に、ADC 8 2、遅延回路 8 3、平均処理回路 8 4、ゲインセレクト回路 8 5、ゲイン切替えアンプ 8 6 が設けられ、それらは上記第五実施形態と同様に構成されている。

【0 1 2 1】

このように構成された AGC 8 1 は、先ず 1 段目のゲイン切替えアンプ 6 8 にて粗い (大まかな) ゲイン制御をした後、2 段目のゲイン切替えアンプ 8 6 にて細かなゲイン制御を行う。そして、切替えアンプ 8 6 から出力されるアナログ信号を ADC 6 4 によりアナログーデジタル変換して生成したデジタル信号 S 2 9 を次回路 (デジタル回路) に出力する。

【0 1 2 2】

その際、2 段目のゲイン切替えアンプ 8 6 は、遅延回路 8 3 を介して遅延されたアナログ信号 S 2 8 を、ゲインセレクト回路 8 5 にて生成された制御信号 S 2 7 によって制御する。従って、2 段目の ADC 8 2、平均処理回路 8 4、ゲインセレクト回路 8 5 でのレイテンシが、ゲイン切替えアンプ 8 6 の制御に与える影響はない。

【0 1 2 3】

従って、本実施形態によれば、以下の効果を奏する。

(1) 上記第五実施形態の AGC 6 1 を複数段で構成することにより、各段で生成された制御信号 S 2 4、S 2 7 に基づくアナログ制御をレイテンシの影響を受けずに、より細かに行うことができる。

【0 1 2 4】

(第八実施形態)

以下、本発明を具体化した第八実施形態を図25～図29に従って説明する。

図25は、上記第二実施形態のアナログ制御装置21（クロック信号CLKに同期して遅延させる場合）をAGC91に具体化した例を示すブロック図である。このAGC91は、LPF92、ADC93、遅延回路94、平均処理回路95、ゲインセレクト回路96、ゲイン切替えアンプ97から構成されている。尚、本実施形態では、図26に示す例えばハードディスク装置の位相サーボの様に、予め大まかなアナログ信号INの特徴が判っている場合に、AGC91を適用した場合の具体例について記述する。

【0125】

図26に示すように、アナログ信号INは、位相サーボの目的に応じてA区間、B区間、C区間の3つに区画される。そして、このようにA～C区間に区別されたアナログ信号INにおいて、位相サーボの最終目的はC区間の位相を算出することにある。つまり、C区間の位相を算出するために、該位相算出する期間の基準点を設定するB区間が設けられているとともに、そのB区間に設定される基準点を検出するA区間が設けられている。

【0126】

上記B区間において位相算出する期間の基準点は、アナログ信号INの零レベルがn回連続した点に設定される。尚、本実施形態では、零レベルが3回連続した点を基準点としている。

【0127】

図26において、ゼロ（零）検出信号SD1は、零レベルの連続回数を検出する信号であって、零レベルの値が連続3回となった時にHレベルの検出信号を出力する。

【0128】

振幅信号SD2は、零レベルの状態から振幅する状態となるときのアナログ信号INの信号値を検出する信号であって、非零レベルの値が連続3回となった時にHレベルの検出信号を出力する。

【0129】

周期 4 信号 S D 3 は、上記 H レベルのゼロ検出信号 S D 1 に応答して信号レベルが H レベルから L レベルとなる信号であって、該周期 4 信号 S D 3 が H レベルを検出する状態では、アナログ信号 I N の 1 周期がクロック信号 C L K の 4 クロック分に対応している。

【 0 1 3 0 】

周期 8 信号 S D 4 は、上記 H レベルの振幅信号 S D 2 に応答して信号レベルが L レベルから H レベルとなる信号であって、該周期 8 信号 S D 4 が H レベルを検出する状態では、アナログ信号 I N の 1 周期がクロック信号 C L K の 8 クロック分に対応している。

【 0 1 3 1 】

そして、周期 4 信号 S D 3 及び周期 8 信号 S D 4 は、遅延回路 9 4、平均処理回路 9 5、ゲインセレクト回路 9 6 に入力される。

図 2 7 は、本実施形態の遅延回路 9 4 の一構成例を示す回路図である。この遅延回路 9 4 は 8 段で構成され（図では、回路を一部省略して示す）、入力段のバッファ 9 4 a 及び出力段のバッファ 9 4 b の出力端子には、選択回路 9 4 c が接続されている。

【 0 1 3 2 】

この選択回路 9 4 c には、上記周期 4 信号 S D 3 及び周期 8 信号 S D 4 が入力され、該選択回路 9 4 c は各信号 S D 3、S D 4 の検出レベルに応じて遅延回路 9 4 の遅延段数を選択する。例えば選択回路 9 4 c は、H レベルの信号 S D 4 に応答して遅延回路 9 4 の遅延段数を「8」に設定し、それ以外の時には遅延段数を「0」（即ち、遅延なし）に設定する。

【 0 1 3 3 】

図 2 8 は、平均処理回路 9 5 及びゲインセレクト回路 9 6 の一例を示すブロック図である。

平均処理回路 9 5 は、その入力段に 8 段（図では、回路を一部省略して示す）の F F を備え、各段の F F は A D C 9 3 によりサンプリングされるサンプリング値 D 1 ～ D 8 をそれぞれラッチして出力する。尚、図 2 8 に示すように、ここでは例えば各 F F は、図 2 6 に示すサンプリング値 s 1 ～ s 8 又は t 4 ～ t 1 1 を

ラッチして出力する。

【0134】

平均処理回路95には、上記周期4信号SD3及び周期8信号SD4が入力され、該平均処理回路95は各信号SD3、SD4の検出レベルに応じて算出する平均値Hを変更する。例えば、平均処理回路95は、Hレベルの信号SD3にตอบสนองしてサンプリング値D5～D8の平均値Hを算出し、Hレベルの信号SD4にตอบสนองしてサンプリング値D1～D8の平均値Hを算出する。そして、上記Hレベルの信号SD3、SD4以外の時には平均値Hを一定値に固定する。

【0135】

次に、このように構成されたAGC91の作用を説明する。

今、周期4信号SD3の検出レベルはHレベルであり、この状態ではアナログ信号INはA区間に対応している（図26参照）。

【0136】

遅延回路94は、周期8信号SD4の検出レベルがLレベルであるため、遅延段数は「0」（即ち、遅延なし）に設定される。また、平均処理回路95は、Hレベルの周期4信号SD3にตอบสนองしてサンプリング値D5～D8の平均値Hを算出する。従って、A区間において、ゲイン切替えアンプ97は、サンプリング値s8のサンプリングタイミングに対応するアナログ値を、サンプリング値s5～s8の平均値Hに基づき設定されたゲインGにて制御する。つまり、このA区間では、制御対象となるアナログ信号の信号値は、それ以前にサンプリングされる複数のサンプリング値の平均値Hに基づいて選択されたゲインGにて制御される。

【0137】

次に、零レベルの値が連続3回となりゼロ検出信号SD1の検出レベルがHレベルとなると、該Hレベルの信号SD1に基づいて周期4信号の検出レベルがLレベルとなる。この状態ではアナログ信号INはB区間に対応している。

【0138】

遅延回路94は、同様にして遅延段数が「0」に設定される。平均処理回路95は、Lレベルの信号SD3、SD4にตอบสนองして平均値Hを一定値に固定する。

即ち、このB区間では零レベルが連続するために、該B区間にて平均処理回路95により算出される平均値Hが、上記ゼロ検出信号SD1の立ち上がり時の平均値（例えばサンプリング値s8～s11の平均値）に固定される。

【0139】

次に、非零レベルの値が連続3回となり振幅信号SD2の検出レベルがHレベルとなると、該Hレベルの信号SD2に基づいて周期8信号SD4の検出レベルがHレベルとなる。この状態ではアナログ信号INはC区間に対応している。

【0140】

遅延回路94は、Hレベルの周期8信号SD4に应答し、その遅延段数が「8」に設定される。また、平均処理回路95は、Hレベルの周期8信号SD4に应答してサンプリング値D1～D8の平均値Hを算出する。従って、C区間において、ゲイン切替えアンプ97は、サンプリング値t4のサンプリングタイミングに対応するアナログ値を、サンプリング値t4～t11の平均値Hに基づき設定されたゲインGにて制御する。つまり、このC区間では、制御対象となるアナログ信号の信号値は、それ以降にサンプリングされる複数のサンプリング値の平均値Hに基づいて選択されたゲインGにて制御される。

【0141】

以上記述したように、本実施形態によれば、以下の効果を奏する。

(1) 予め大まかなアナログ信号INの波形図が判っている場合には、それに応じて遅延回路94の遅延段数、及び平均値Hの算出に用いるサンプリング値の数（サンプル数）を適宜変更する。これにより、実際に制御対象となるアナログ値を、それ以前又はそれ以降にサンプリングされる複数のサンプリング値に基づき設定されるゲインGにて制御することが可能となる。

【0142】

尚、上記各実施形態は、以下の態様で実施してもよい。

・第三～第八実施形態では、第二実施形態の様にアナログ信号をクロック信号CLKに同期して遅延させる場合について具体化した。第一実施形態の様にクロック信号CLKに同期させずにアナログ信号を遅延させてもよい。

【0143】

・第五～第八実施形態におけるゲインセレクト回路 6 7, 8 5 による構成は、図 3 0 のように変更してもよい。即ち、この AGC 1 0 1 では、平均処理回路 1 0 5 の次段に GCA 制御電圧発生回路（以下、GCA 制御回路）1 0 6 が設けられ、該 GCA 制御回路 1 0 6 の出力信号に基づいて GCA 1 0 7 のゲインが設定される。図 3 1 は、図 3 0 の平均処理回路 1 0 5 及び GCA 制御回路 1 0 6 の一構成例を示すブロック図である。尚、平均処理回路 1 0 5 は、上記平均処理回路 6 6（図 2 0 参照）と同様に構成されている。GCA 制御回路 1 0 6 は、平均処理回路 1 0 5 の出力信号（即ち、平均値 H）に基づいてゲインを算出するゲイン算出回路 1 0 6 a と、該算出回路 1 0 6 a の出力信号をアナログ信号に変換して出力する DAC 1 0 6 b とから構成される。このように構成される AGC 1 0 1 の場合にも、上記実施形態と同様な効果を奏する。

【0 1 4 4】

・第八実施形態において、上記図 2 8 に示す平均処理回路 9 5 の構成を、図 2 9 に示すように変更して構成してもよい。この平均処理回路 9 5 a は、その入力段に 1 2 段の FF（図では、回路を一部省略して示す）を備え、各段の FF はサンプリング値 D 1 ～D 1 2 をそれぞれラッチして出力する。各 FF によりラッチされるサンプリング値 D 1 ～D 1 2 は、実際の制御対象となるアナログ値をサンプリング値 D 4 とし、それ以前のデータをサンプリング値 D 1 ～D 3、それ以降のデータをサンプリング値 D 5 ～D 1 2 とする。そして、平均処理回路 9 5 a は、周期 4 信号 S D 3 が H レベルの時にサンプリング値 D 1 ～D 4 の平均値 H を算出し、周期 8 信号 S D 4 が H レベルの時にサンプリング値 D 5 ～D 1 2 の平均値 H を算出する。即ち、アナログ信号の波形の特徴に応じて、平均処理回路 9 5 a にて平均値 H の算出に用いる複数のサンプリング値の採用位置を適宜変更してもよい。このように構成した場合にも、上記実施形態と同様な効果を奏する。

【0 1 4 5】

・第八実施形態において、図 2 7 に示すように、遅延回路 9 4 にバッファ 9 4 d を追加し、遅延段数の異なる出力を得るように構成することで、制御対象とするアナログ値を変更するようにしてもよい。

【0 1 4 6】

・第八実施形態では、遅延回路 9 4 に設けた選択回路 9 4 c により遅延段数を適宜変更する構成としたが、該遅延回路 9 4 の遅延段数を常に 8 段に設定するようにしてもよい。

【 0 1 4 7 】

上記各実施形態の特徴をまとめると以下のようになる。

(付記 1) アナログ信号をデジタル信号に変換し、該デジタル信号を演算処理して生成した制御信号に基づいて前記アナログ信号を制御するアナログ制御方法において、

前記制御信号を生成する経路にて生じるレイテンシに対応して前記アナログ信号を遅延させ、該遅延後のアナログ信号を制御するようにしたことを特徴とするアナログ制御方法。

(付記 2) アナログ信号をデジタル信号に変換し、該デジタル信号を演算処理して生成した制御信号に基づいて前記アナログ信号を制御するアナログ制御方法において、

前記制御信号を生成する経路にて生じるレイテンシに対応して前記アナログ信号をクロック信号に同期して遅延させ、該遅延後のアナログ信号を制御するようにしたことを特徴とするアナログ制御方法。

(付記 3) 前記制御信号は、所定のタイミングでサンプリングされる前記アナログ信号のサンプリング値に基づいて生成され、該制御信号を前記サンプリングタイミングに対応した値を持つアナログ信号に作用させるように前記アナログ信号の遅延を設定することを特徴とする付記 1 又は 2 記載のアナログ制御方法。

(付記 4) 前記制御信号は、所定のタイミングでサンプリングされる前記アナログ信号のサンプリング値に基づいて生成され、該制御信号を前記サンプリングタイミングに対し、それ以前のサンプリングタイミングに対応した値を持つアナログ信号に作用させるように前記アナログ信号の遅延を前記レイテンシ以上に設定することを特徴とする付記 1 又は 2 記載のアナログ制御方法。

(付記 5) 前記制御信号は、所定のタイミング毎にサンプリングされるアナログ信号の複数のサンプリング値を演算処理して生成され、該制御信号を前記各サンプリングタイミングのいずれかに対応した値を持つアナログ信号に作用させる

ように前記アナログ信号の遅延を設定することを特徴とする付記 1 又は 2 記載のアナログ制御方法。

(付記 6) 前記制御信号は、所定のタイミング毎にサンプリングされるアナログ信号の複数のサンプリング値を演算処理して生成され、該制御信号を前記各サンプリングタイミングに対し、それ以前のサンプリングタイミングに対応した値を持つアナログ信号に作用させるように前記アナログ信号の遅延を前記レイテンシ以上に設定することを特徴とする付記 1 又は 2 記載のアナログ制御方法。

(付記 7) アナログ信号をアナログ—デジタル変換する ADC と、
前記 ADC の出力信号を演算処理して、前記アナログ信号を制御するための制御信号を生成するデジタル演算回路と、

前記制御信号に基づいて前記アナログ信号を制御するアナログ制御回路と、
を備えたアナログ制御装置において、

前記 ADC 及びデジタル演算回路で生じるレイテンシに対応した遅延を設定した遅延回路を設け、該遅延回路を介して遅延させた前記アナログ信号を、前記アナログ制御回路にて制御することを特徴とするアナログ制御装置。

(付記 8) 前記遅延回路は、前記アナログ信号を遅延させる一又は複数の容量を備え、該容量の容量値は、前記アナログ信号の遅延が前記レイテンシに対応した遅延となるような値に設定されることを特徴とする付記 7 記載のアナログ制御装置。

(付記 9) 前記遅延回路は、相補的に制御される一対のスイッチの開閉に基づき前記アナログ信号をクロック信号に同期して遅延させる一又は複数の遅延段数にて構成されることを特徴とする付記 7 記載のアナログ制御装置。

(付記 10) 前記遅延回路の遅延段数を、前記アナログ信号のサンプリング値に応じて所定の遅延段数 (0 段を含む) に変更させる選択回路を備えたことを特徴とする付記 9 記載のアナログ制御装置。

(付記 11) アナログ信号を、制御信号に基づいて設定される所定のゲインにて制御する第 1 の GCA と、

前記第 1 の GCA の出力信号をアナログ—デジタル変換する ADC と、

前記第 1 の GCA の出力信号が前記 ADC の入力レベルに対しほぼフルレンジ

となるように設定される目標値と、該ADCの出力信号との誤差を算出する誤差演算回路と、

前記誤差演算回路の出力信号をデジタル-アナログ変換して、前記第1のGCAのゲインを設定するための前記制御信号を出力するDACと、
から構成される第1の制御ループを備えたAGCにおいて、

前記第1の制御ループにて生じるレイテンシに対応して前記アナログ信号を遅延させる遅延回路と、

前記遅延回路を介して入力される前記アナログ信号を、前記制御信号に基づいて設定される所定のゲインにて制御する第2のGCAと、
を備えたことを特徴とするAGC。

(付記12) 前記第2のGCAの出力信号を誤差演算して出力する第2の制御ループを備えたことを特徴とする付記11記載のAGC。

(付記13) アナログ信号をアナログ-デジタル変換するADCと、
前記ADCの出力信号に基づいて前記アナログ信号の複数のサンプリング値の平均値を算出する平均処理回路と、

前記平均値に基づいて前記アナログ信号を制御させるべくゲインを選択し、制御信号を生成するゲインセレクト回路と、

前記ADC、平均処理回路、ゲインセレクト回路にて生じるレイテンシに対応して前記アナログ信号を遅延させる遅延回路と、

前記遅延回路を介して入力される前記アナログ信号を、前記制御信号に基づいて切り替えたゲインにて制御するゲイン切替えアンプと、
を備えたことを特徴とするAGC。

(付記14) 付記13記載のAGCを複数段備えたことを特徴とするAGC。

(付記15) 前記ゲイン切替えアンプの出力信号を誤差演算して出力する制御ループを備えたことを特徴とする付記13記載のAGC。

(付記16) 付記11乃至15のいずれか一記載のAGCの制御方法において

前記遅延回路は、前記アナログ信号をクロック信号に同期して遅延させる一又は複数段の遅延段数にて構成される遅延回路であって、

予測可能な前記アナログ信号の波形に応じて、前記遅延回路の遅延段数を変更させることを特徴とする A G C の制御方法。

(付記 1 7) 付記 1 3 乃至 1 5 のいずれか一記載の A G C の制御方法において

予測可能な前記アナログ信号の波形に応じて、前記平均値の算出に用いる値のサンプル数を変更させることを特徴とする A G C の制御方法。

(付記 1 8) 付記 1 3 乃至 1 5 のいずれか一記載の A G C の制御方法において

予測可能な前記アナログ信号の波形に応じて、前記平均値の算出に用いる前記複数のサンプリング値の採用位置を変更することを特徴とする A G C の制御方法。

【 0 1 4 8 】

【発明の効果】

以上詳述したように、本発明によれば、レイテンシに関わらず、精度の高いアナログ制御を行い得るアナログ制御方法、アナログ制御装置、及び A G C を提供することができる。

【図面の簡単な説明】

- 【図 1】 第一実施形態のアナログ制御装置の概略構成図である。
- 【図 2】 アナログ制御装置の作用を示すアナログ信号の波形図である。
- 【図 3】 容量を示す概略図である。
- 【図 4】 第二実施形態のアナログ制御装置の概略構成図である。
- 【図 5】 遅延回路の具体的構成を示す回路図である。
- 【図 6】 バッファの一例を示す回路図である。
- 【図 7】 遅延回路の動作を説明する回路図である。
- 【図 8】 遅延回路の動作を説明する回路図である。
- 【図 9】 遅延回路の各入力信号を示す波形図である。
- 【図 1 0】 遅延回路の動作状態を示す回路図である。
- 【図 1 1】 遅延回路の動作状態を示す回路図である。
- 【図 1 2】 遅延回路の動作状態を示す回路図である。

- 【図 1 3】 遅延回路の動作状態を示す回路図である。
- 【図 1 4】 遅延回路の動作状態を示す回路図である。
- 【図 1 5】 遅延回路の動作状態を示す回路図である。
- 【図 1 6】 アナログ信号の遅延を示すタイミングチャートである。
- 【図 1 7】 第三実施形態の A G C を示すブロック図である。
- 【図 1 8】 第四実施形態の A G C を示すブロック図である。
- 【図 1 9】 第五実施形態の A G C を示すブロック図である。
- 【図 2 0】 平均処理回路及びゲインセレクト回路の一例を示すブロック図である。
- 【図 2 1】 アナログ信号のサンプリング例を示す波形図である。
- 【図 2 2】 平均処理回路及びゲインセレクト回路の一例を示すブロック図である。
- 【図 2 3】 第六実施形態の A G C を示すブロック図である。
- 【図 2 4】 第七実施形態の A G C を示すブロック図である。
- 【図 2 5】 第八実施形態の A G C を示すブロック図である。
- 【図 2 6】 ハードディスク装置の位相サーボの例を示す波形図である。
- 【図 2 7】 図 2 5 の遅延回路の構成を示す回路図である。
- 【図 2 8】 図 2 5 の平均処理回路及びゲインセレクト回路の一例を示すブロック図である。
- 【図 2 9】 図 2 5 の平均処理回路及びゲインセレクト回路の一例を示すブロック図である。
- 【図 3 0】 A G C 回路の別例を示す回路図である。
- 【図 3 1】 図 3 0 の平均処理回路及び G C A 制御電圧発生回路の一例を示すブロック図である。
- 【図 3 2】 従来のアナログ制御装置の概略構成図である。
- 【図 3 3】 従来の A G C を示すブロック図である。
- 【図 3 4】 誤差演算回路を示すブロック図である。
- 【図 3 5】 従来のタイミング波形図である。
- 【符号の説明】

I N アナログ信号

S 2 制御信号

1 2, 2 2 遅延回路としてのアナログ遅延回路

1 3 アナログ制御回路

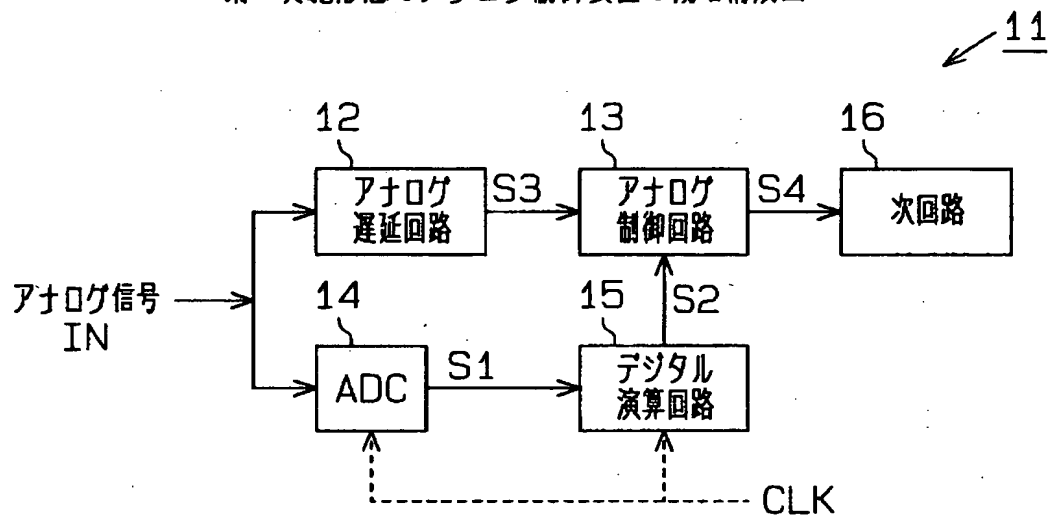
1 4 A D C

1 5 デジタル演算回路

【書類名】 図面

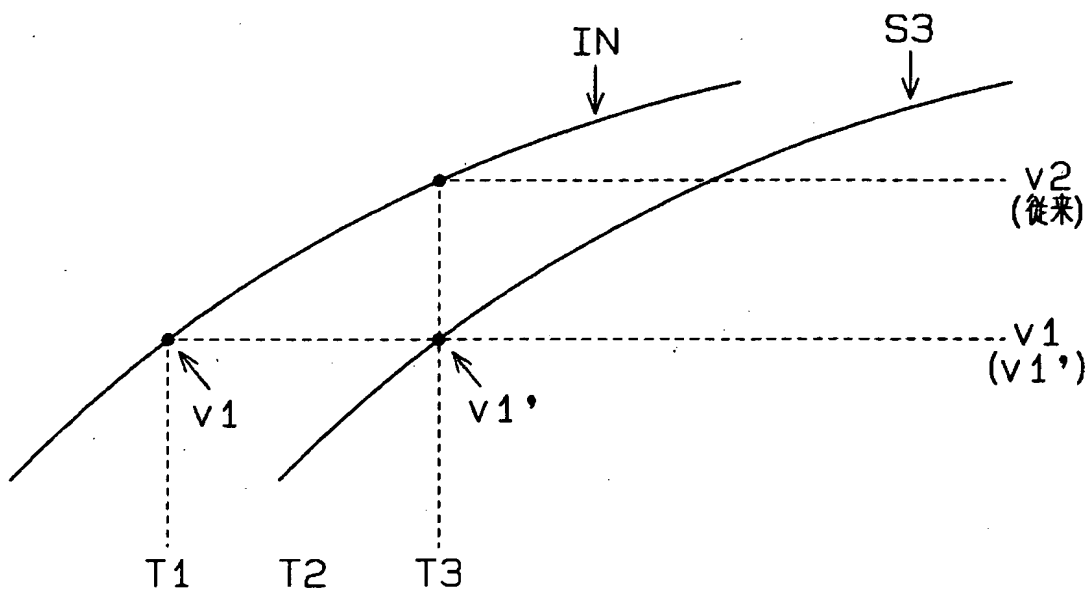
【図 1】

第一実施形態のアナログ制御装置の概略構成図



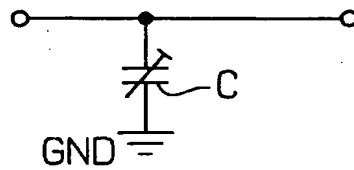
【図 2】

アナログ制御装置の作用を示すアナログ信号の波形図



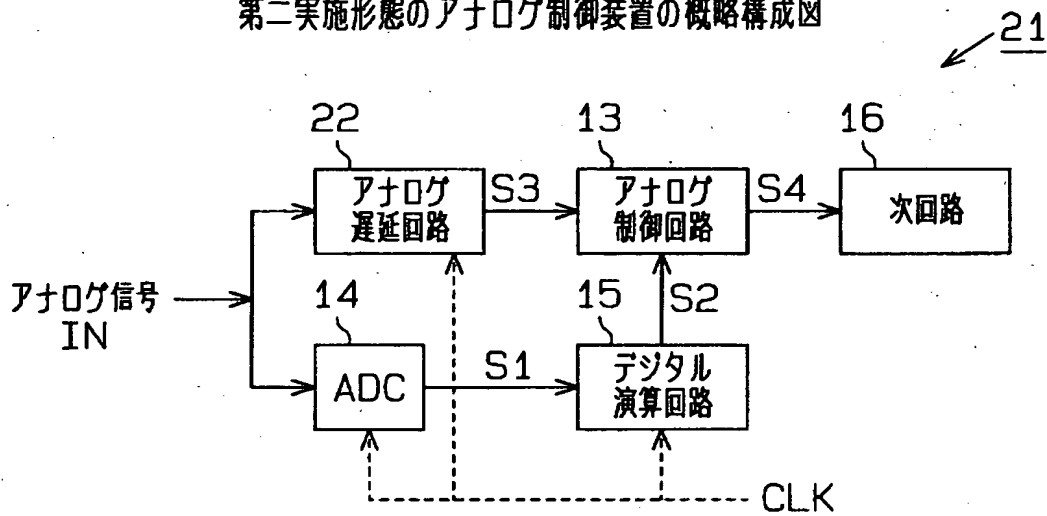
【図 3】

容量を示す概略図



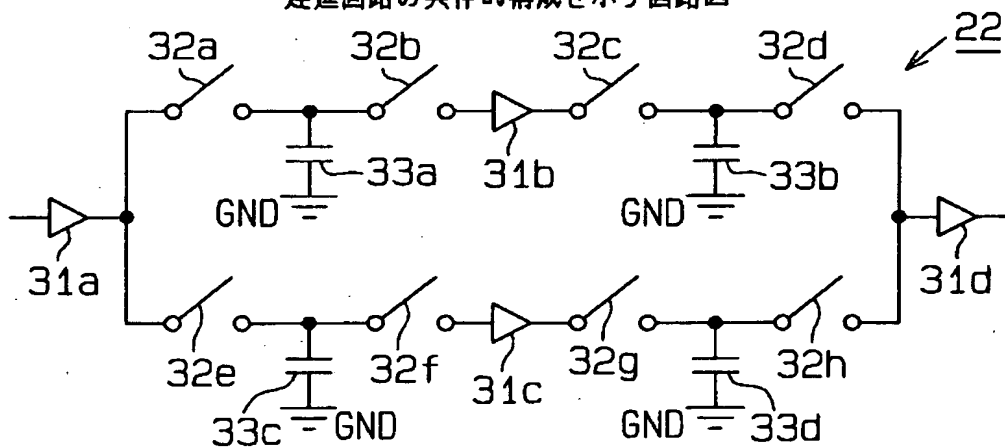
【図 4】

第二実施形態のアナログ制御装置の概略構成図



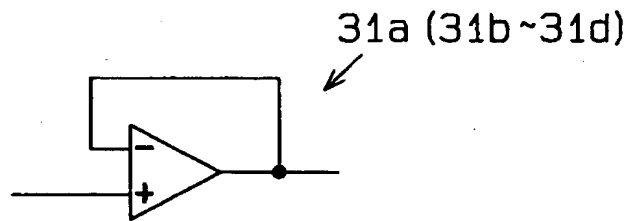
【図 5】

遅延回路の具体的構成を示す回路図



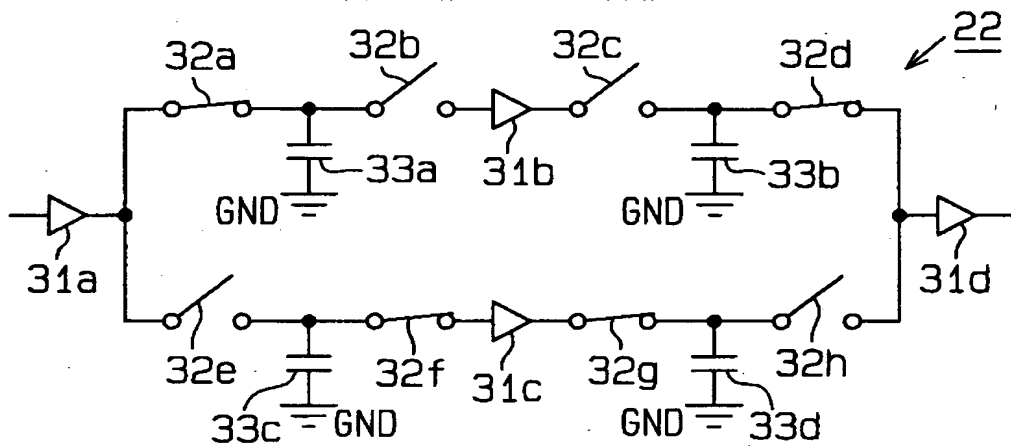
【図 6】

バッファを示す回路図



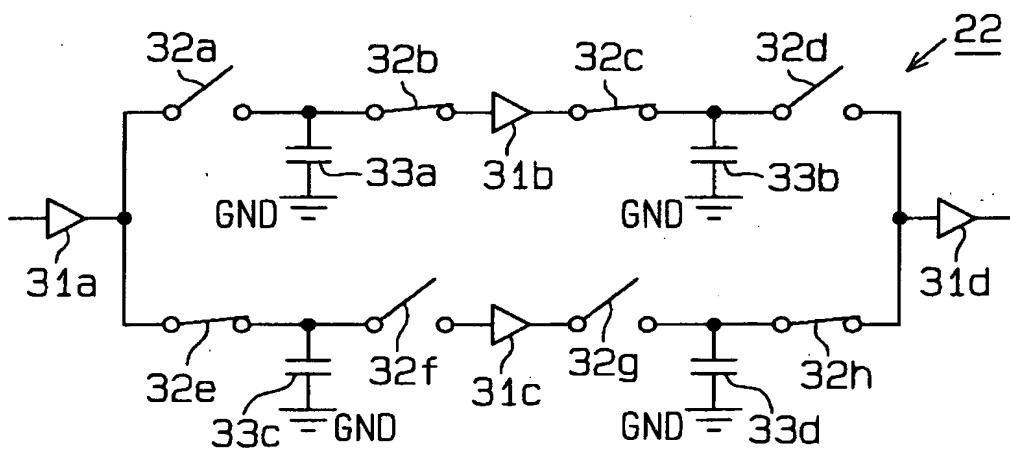
【図 7】

遅延回路の動作を説明する回路図



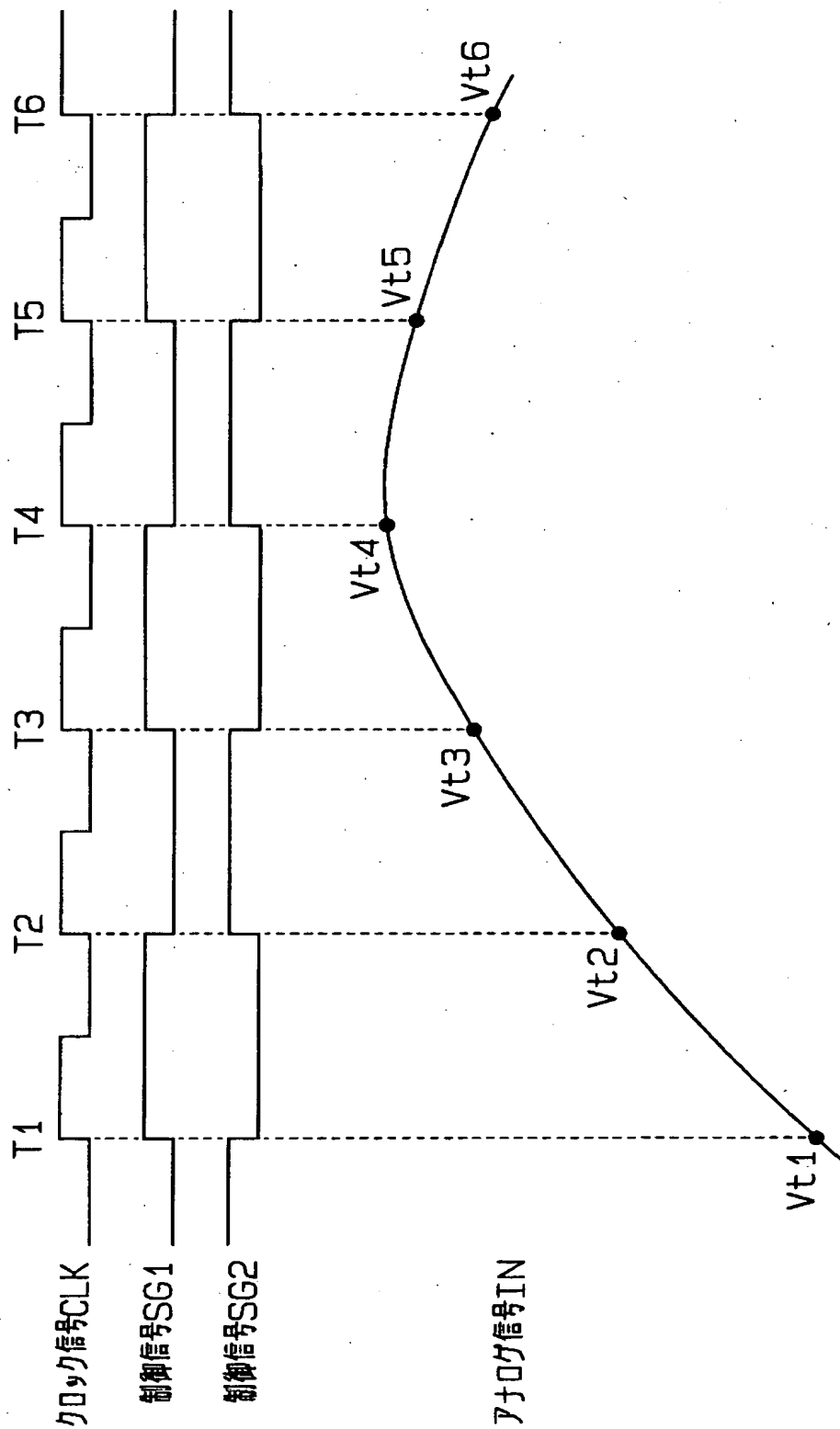
【図 8】

遅延回路の動作を説明する回路図

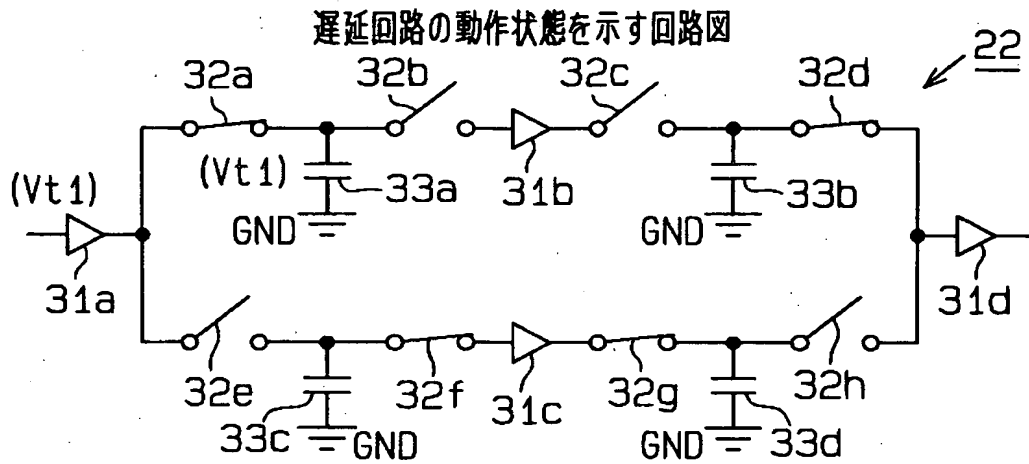


【図 9】

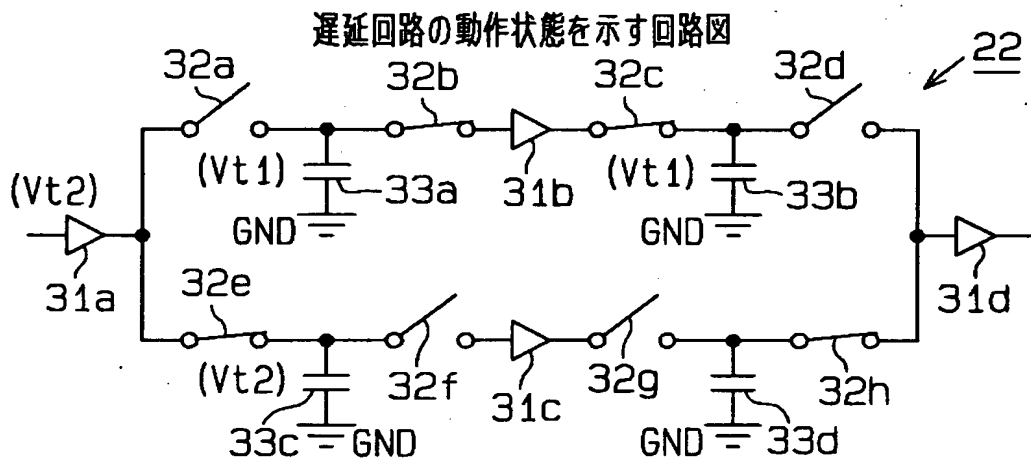
遅延回路の各入力信号を示す波形図



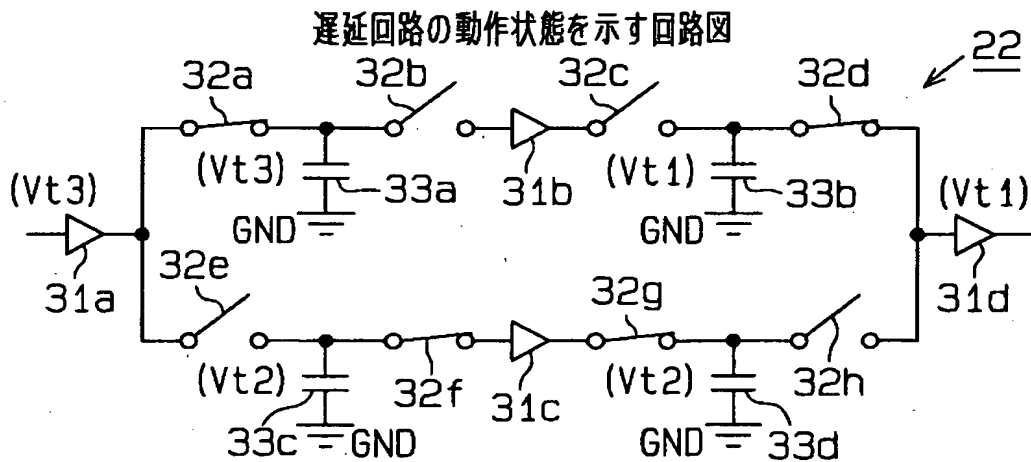
【図 10】



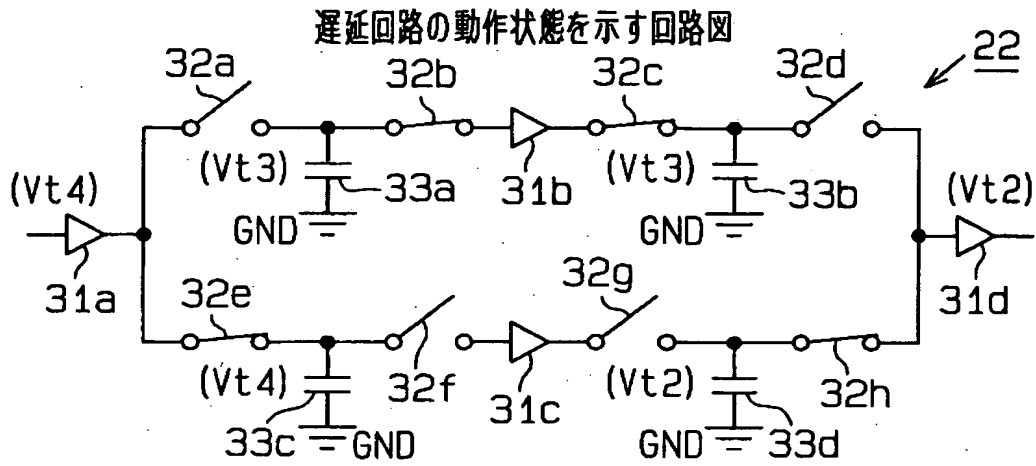
【図 11】



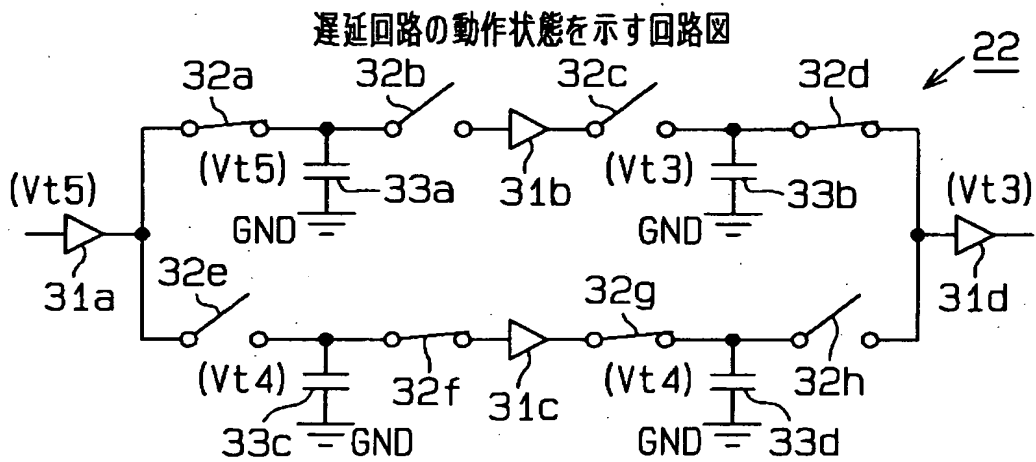
【図 12】



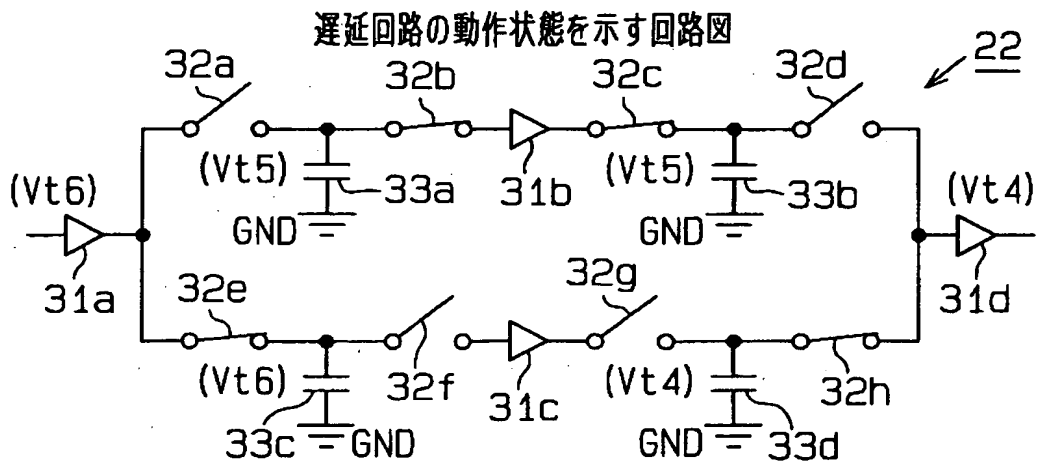
【図 1 3】



【図 1 4】

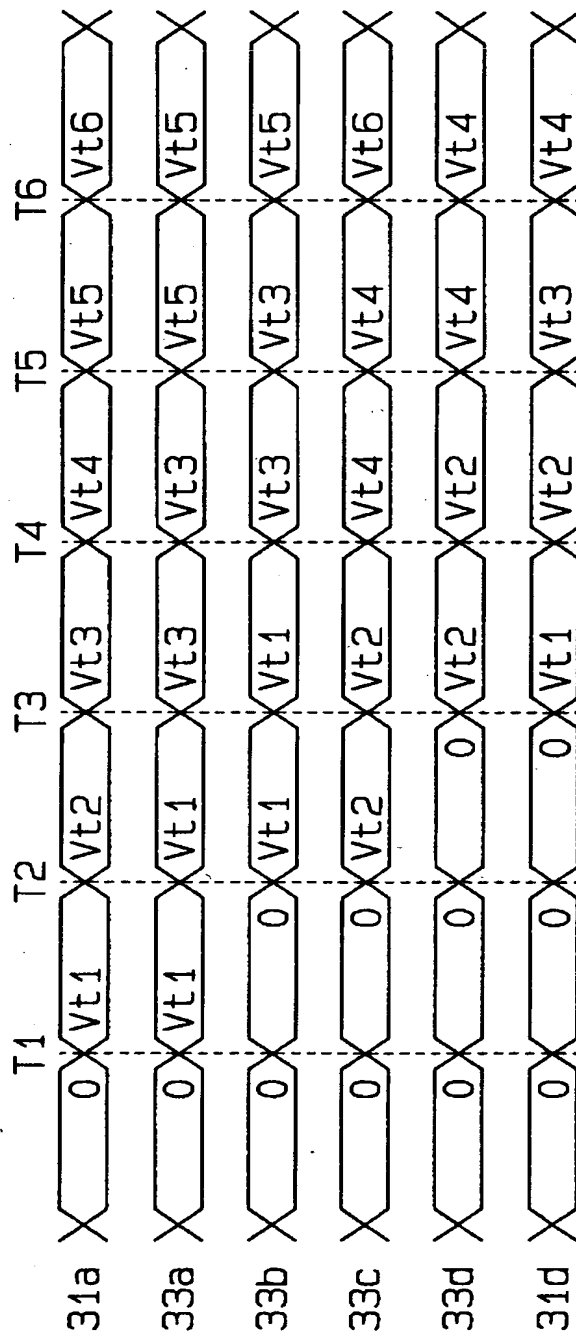


【図 1 5】



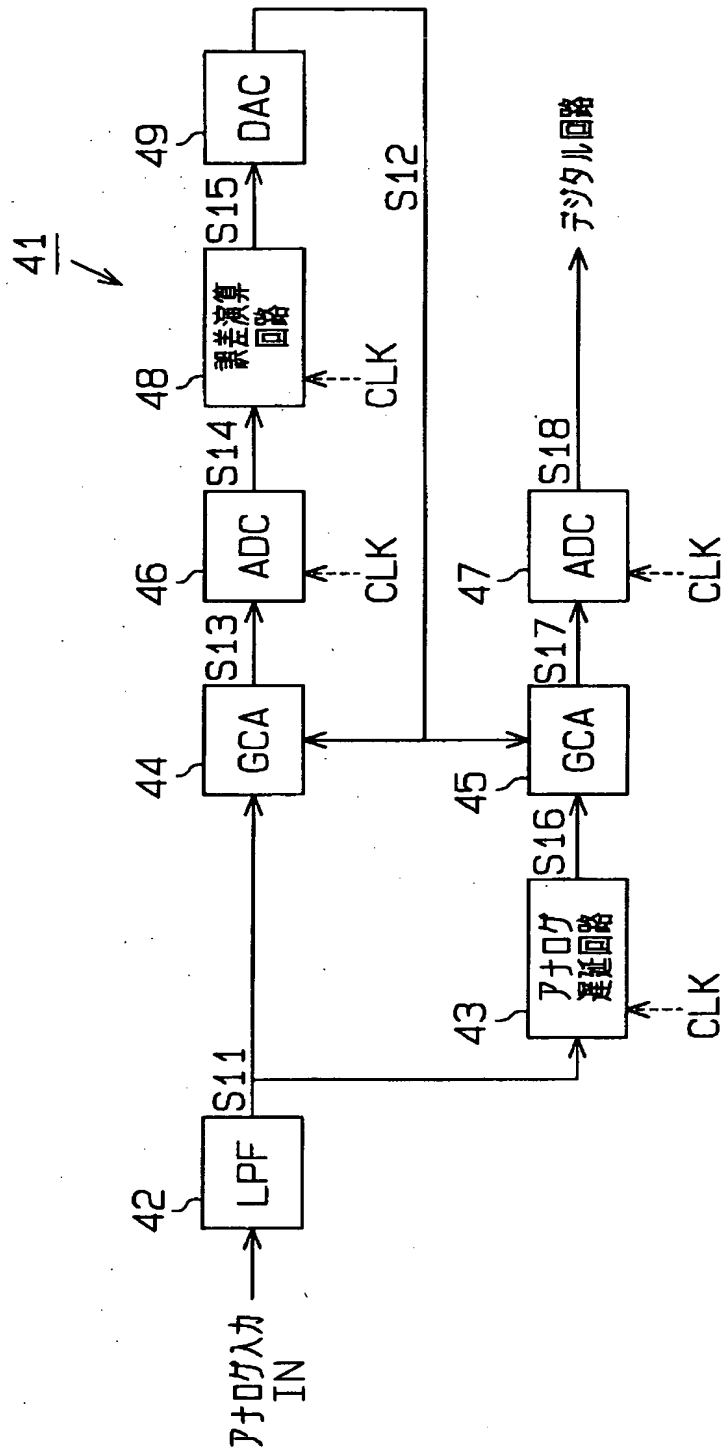
【図 1 6】

アナログ信号の遅延を示すタイミングチャート



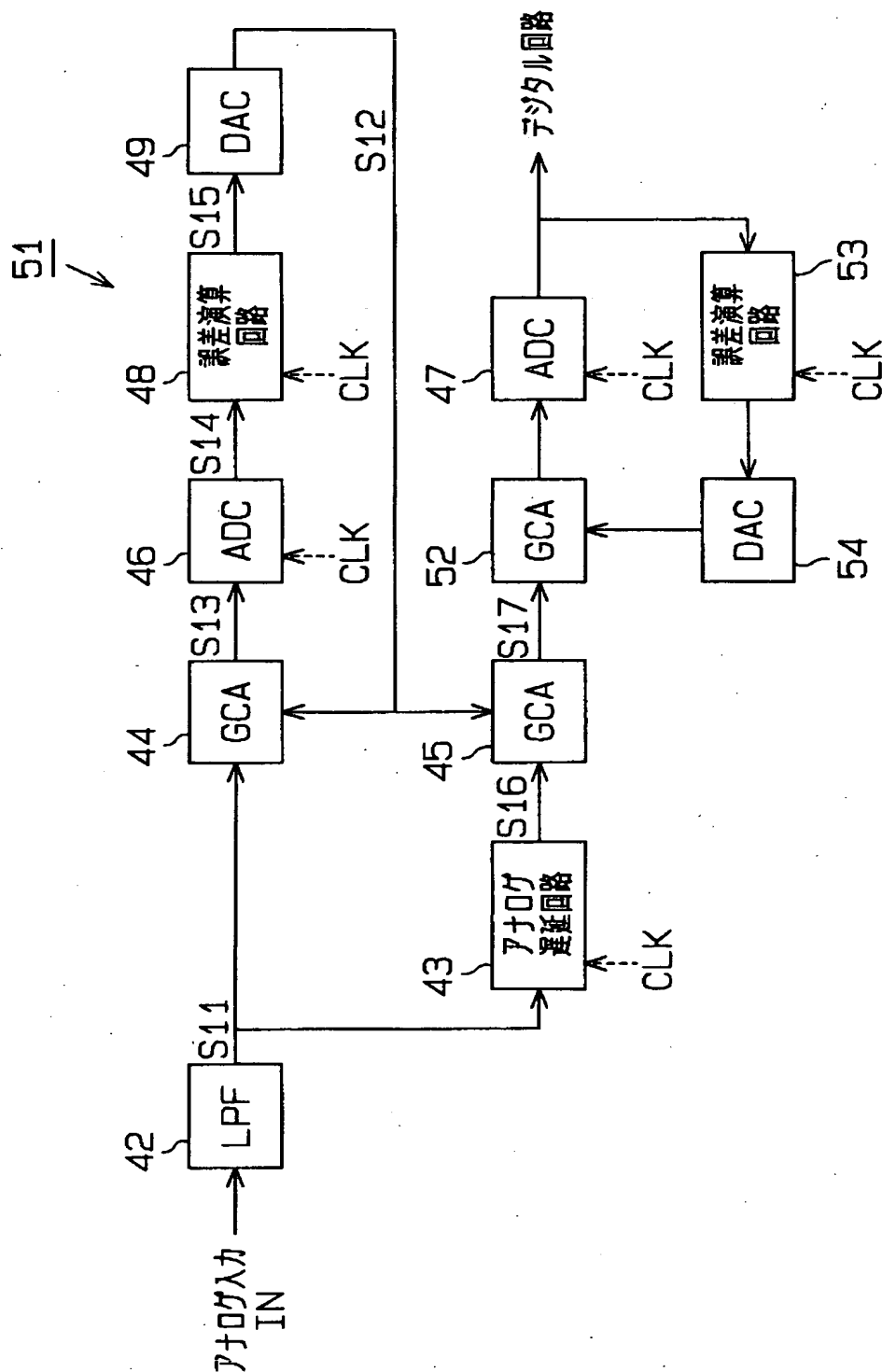
【図 1 7】

第三実施形態のAGCを示すブロック図



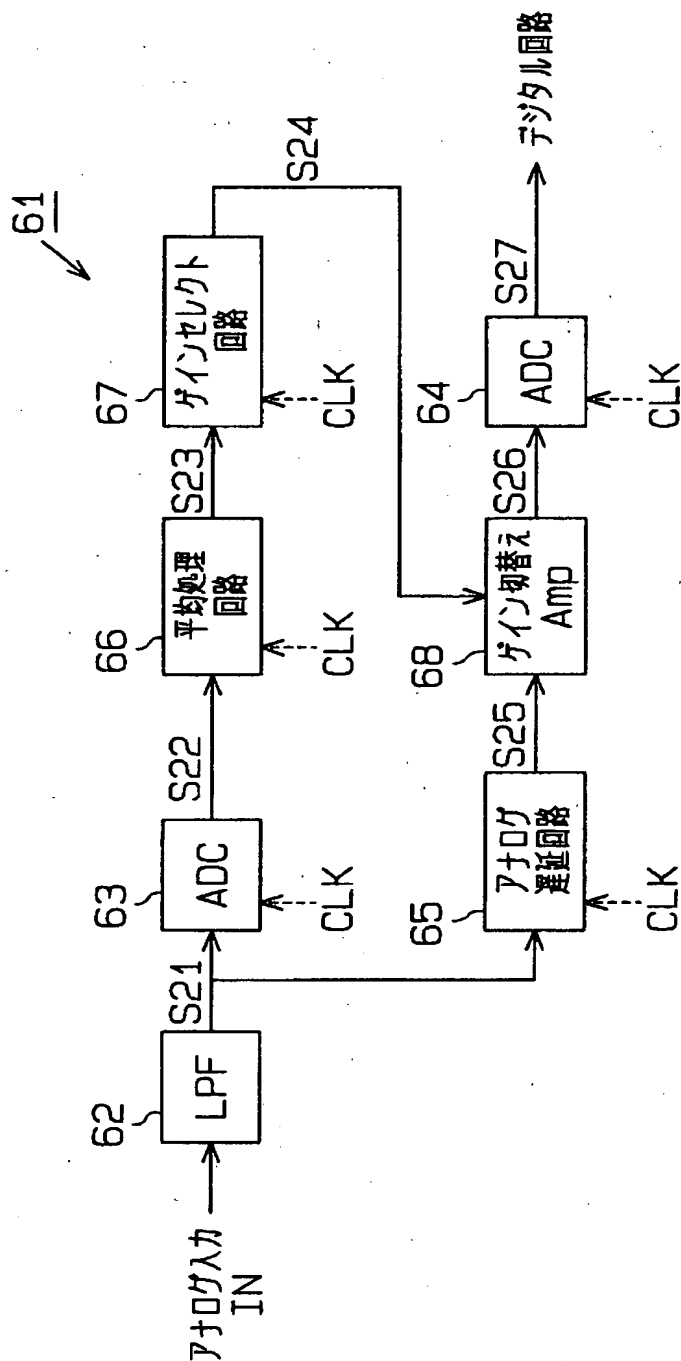
【図18】

第四実施形態のAGCを示すブロック図



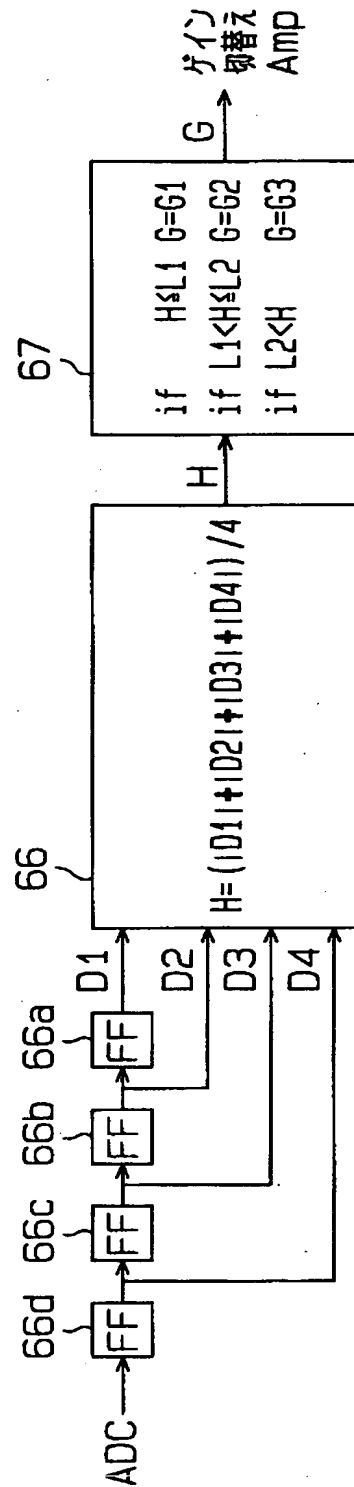
【図 19】

第五実態形態のAGCを示すブロック図



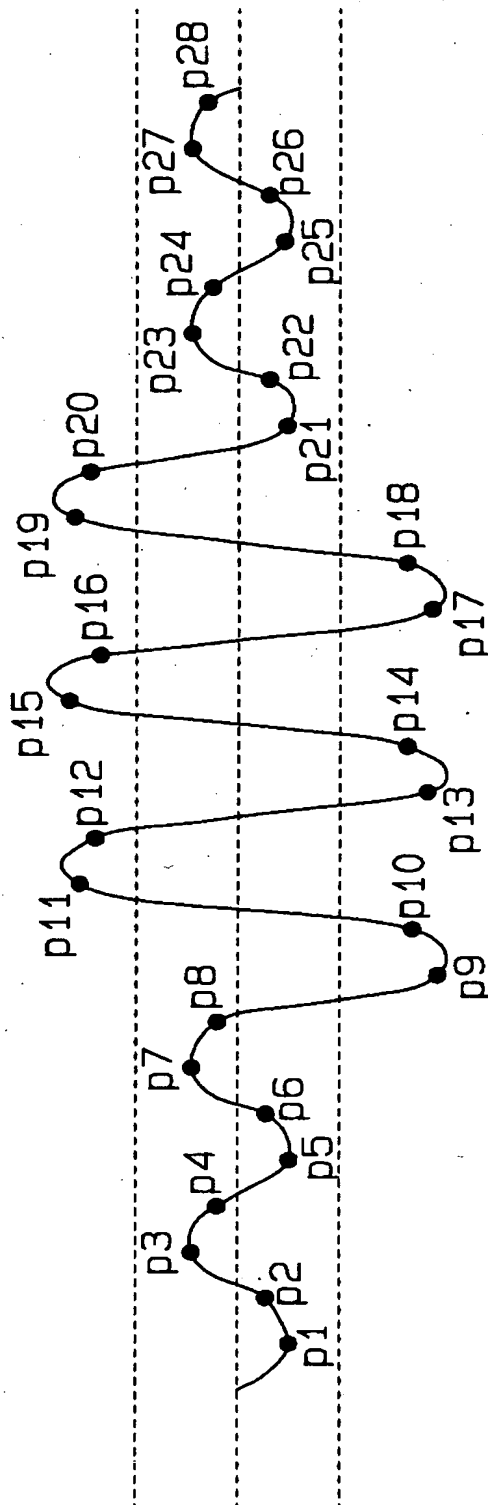
【図 2 0】

平均処理回路及びゲインセレクト回路の一例を示すブロック図



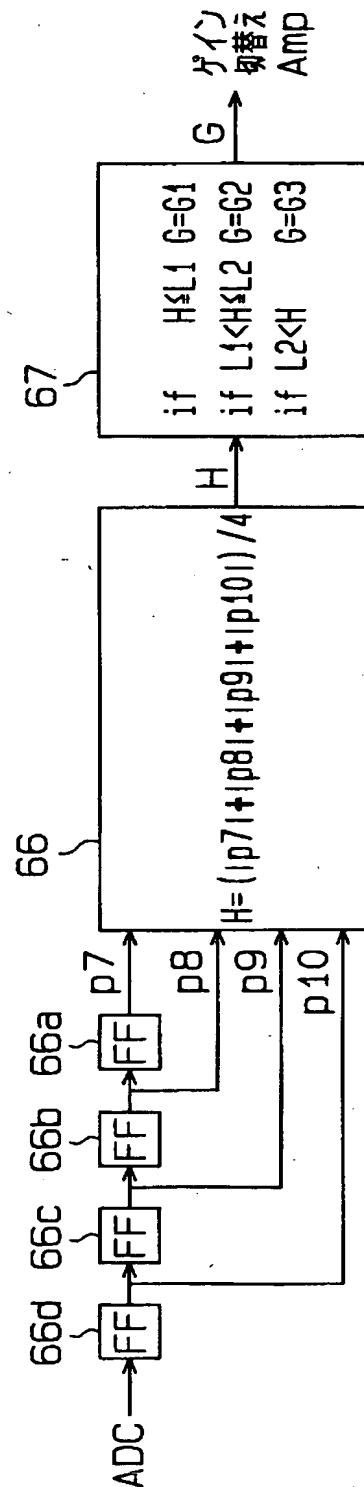
【図 21】

アナログ信号のサンプリング例を示す波形図



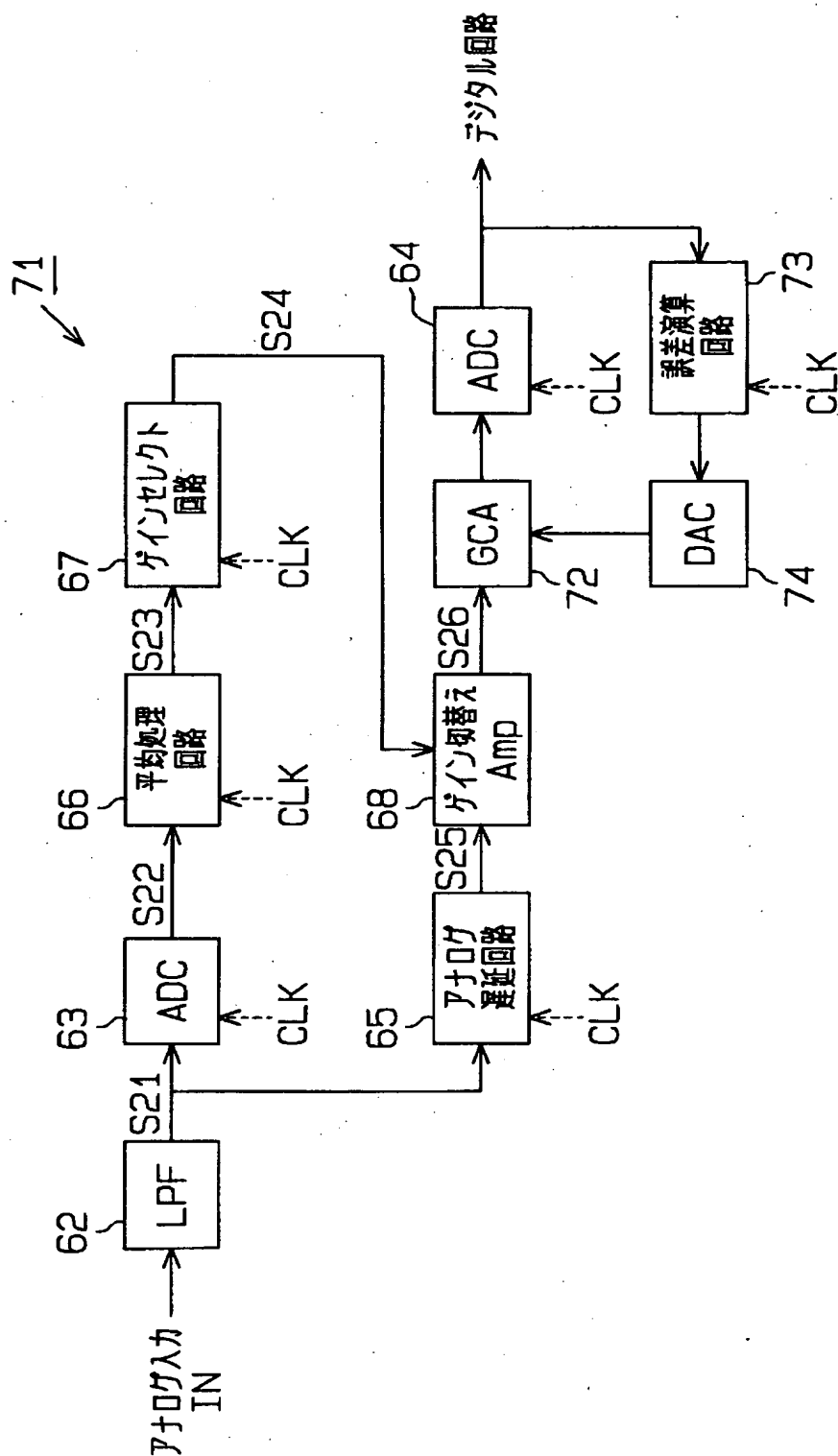
【図 2 2】

平均処理回路及びゲインセレクト回路の一例を示すブロック図



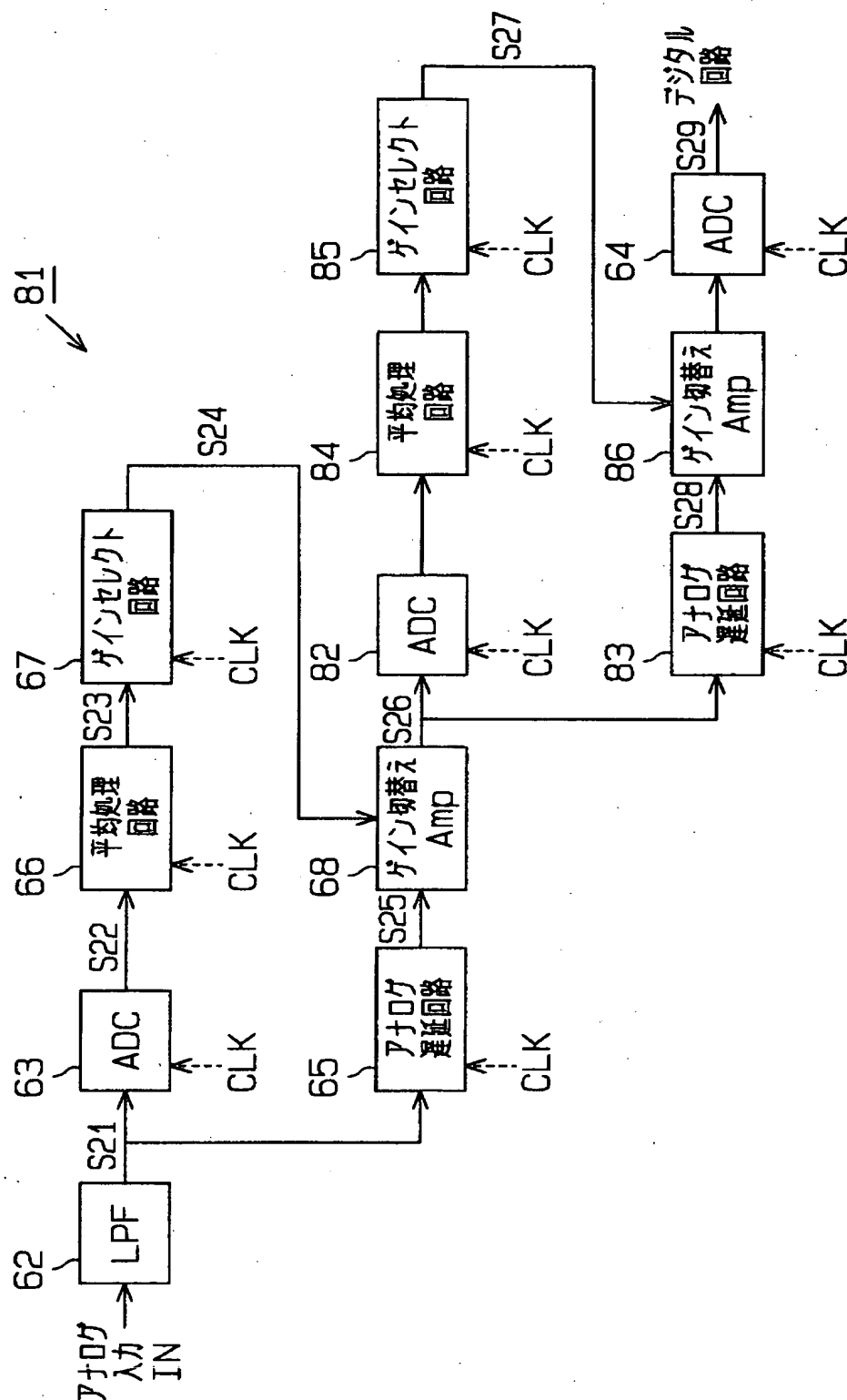
【图 2 3】

第六実施形態のAGCを示すブロック図



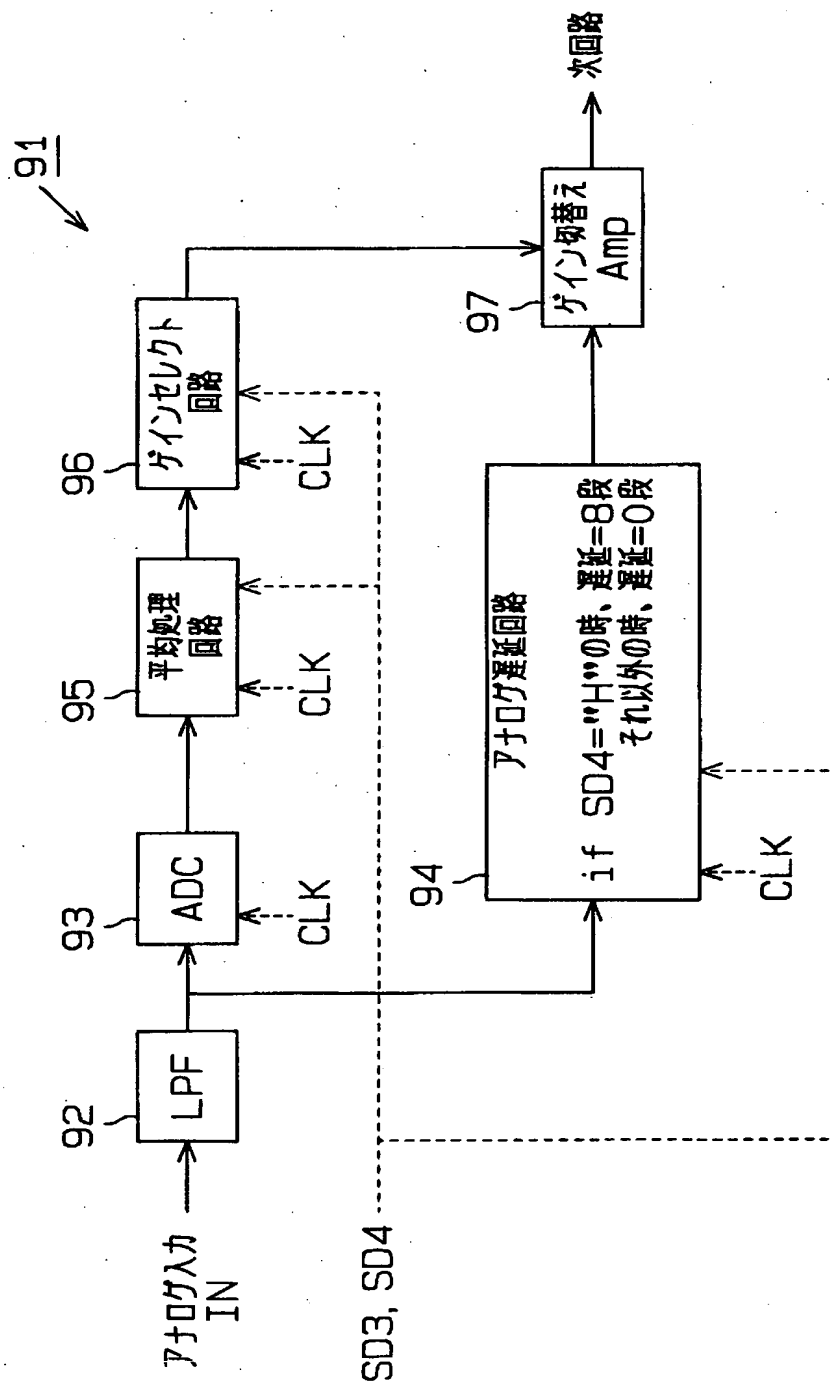
【图 24】

第七実施形態のAGCを示すブロック図



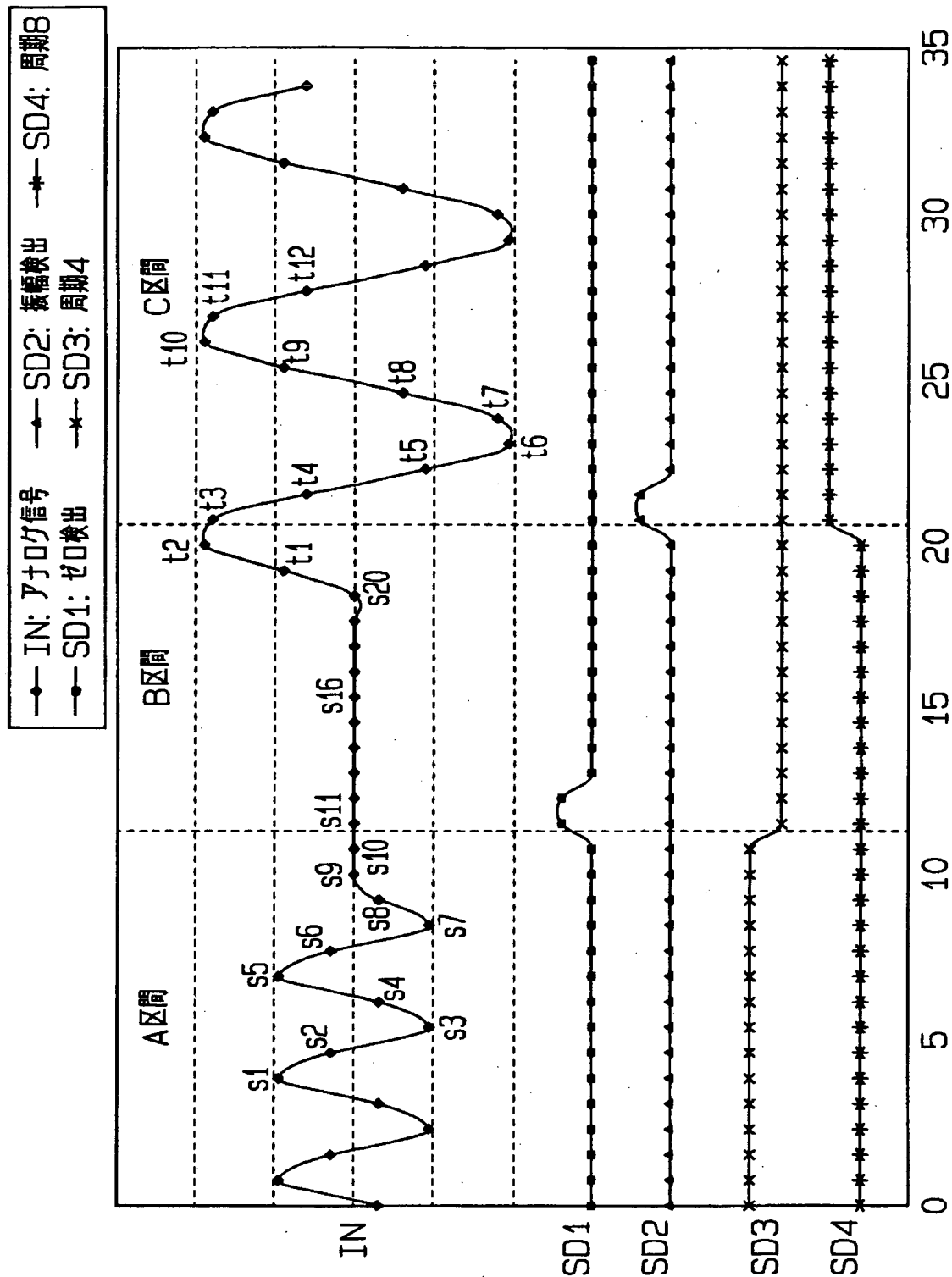
【図25】

第八実施形態のAGCを示すブロック図



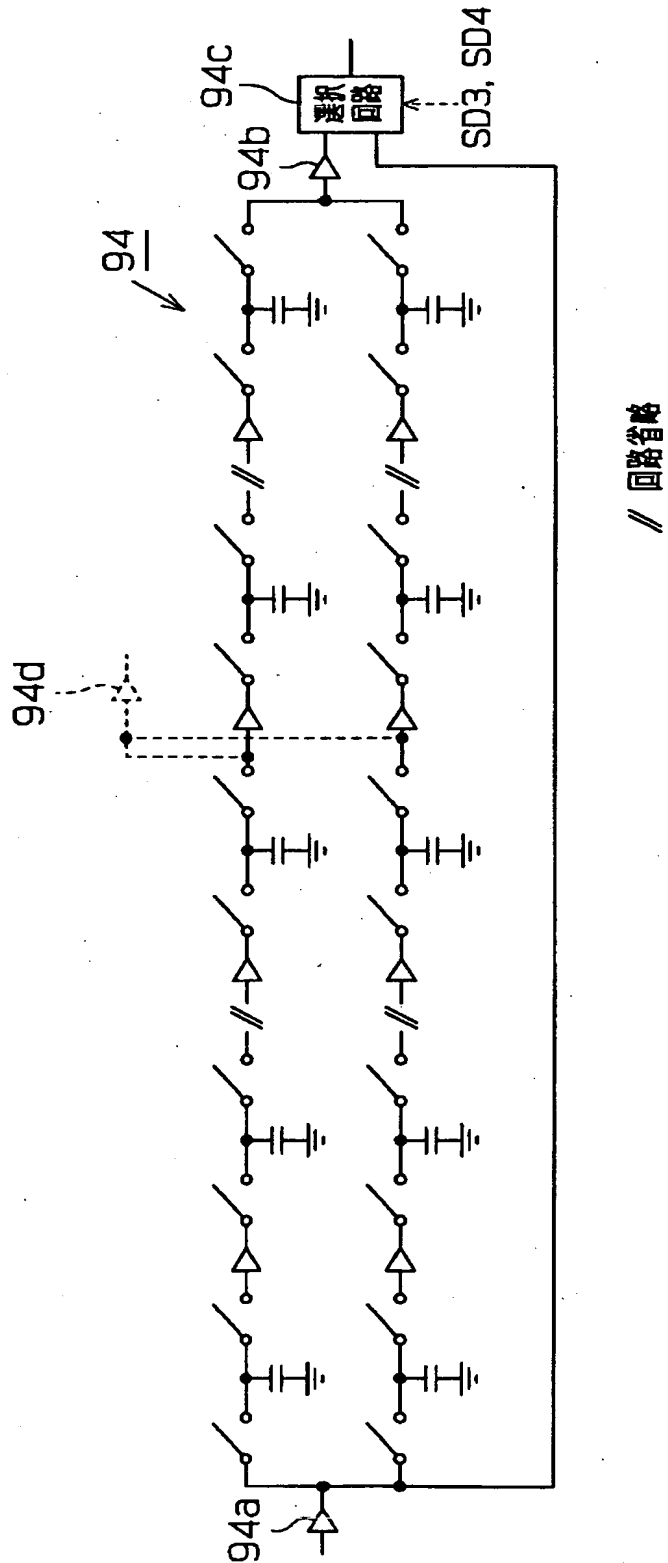
【図 2 6】

ハードディスク装置の位相サーボの例を示す波形図



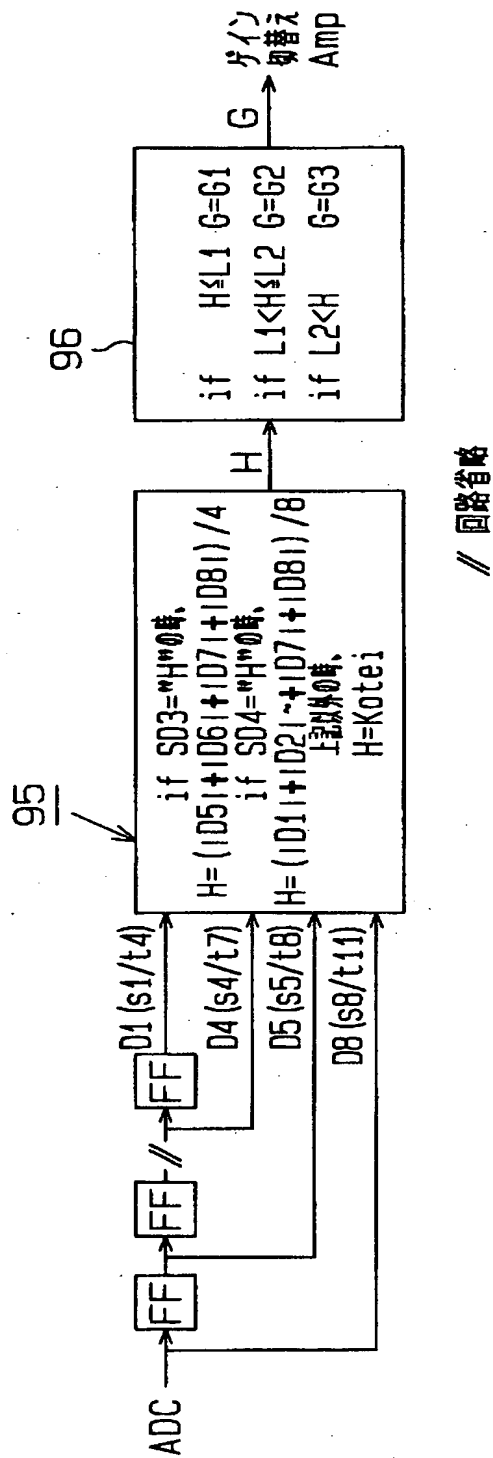
【図 2 7】

図25の遅延回路の構成を示す回路図



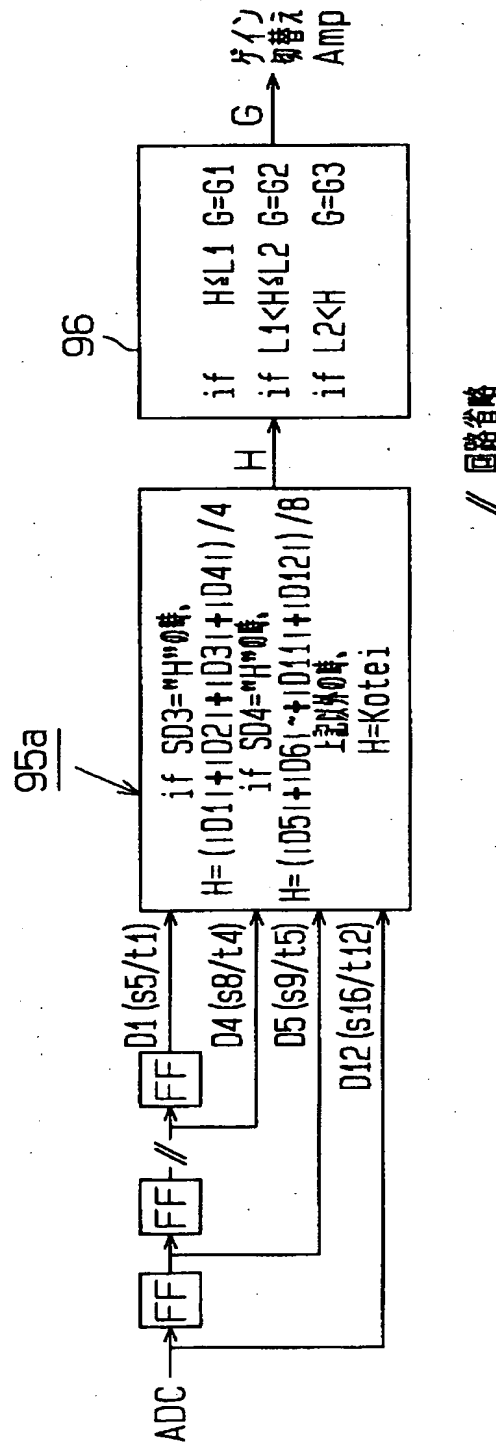
【図 28】

図25の平均処理回路及びゲインセレクト回路の一例を示すブロック図



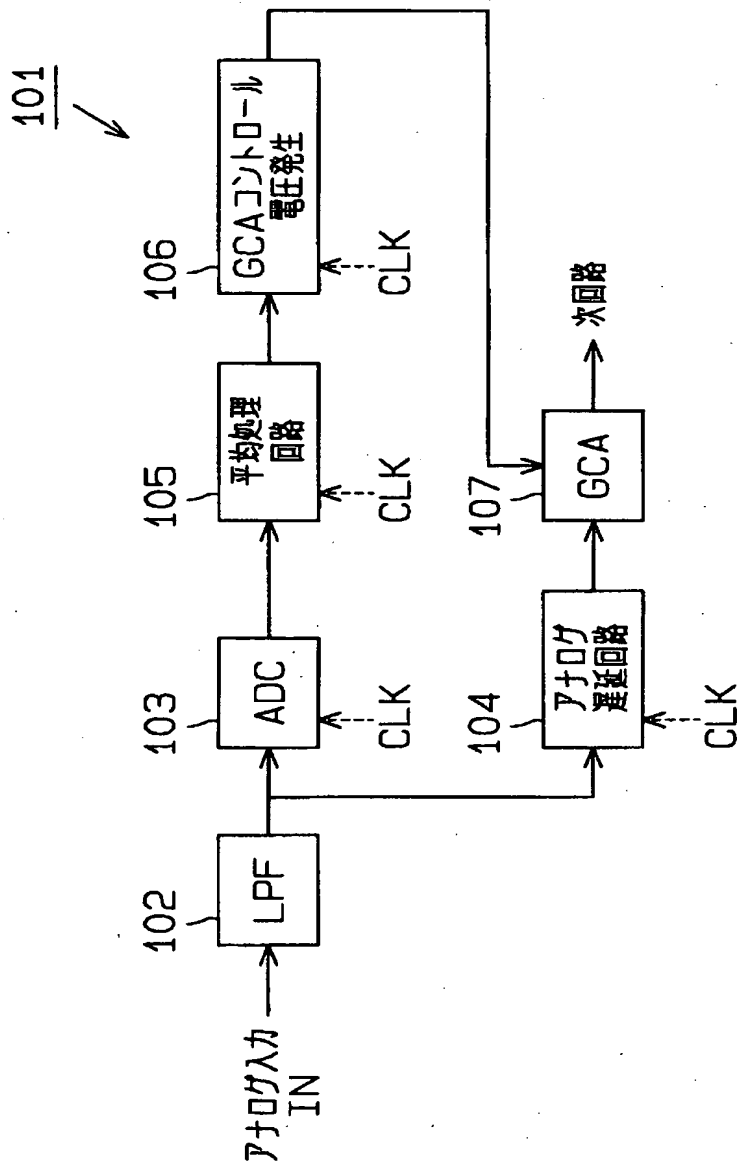
【図 2 9】

図25の平均処理回路及びゲインセレクト回路の一例を示すブロック図



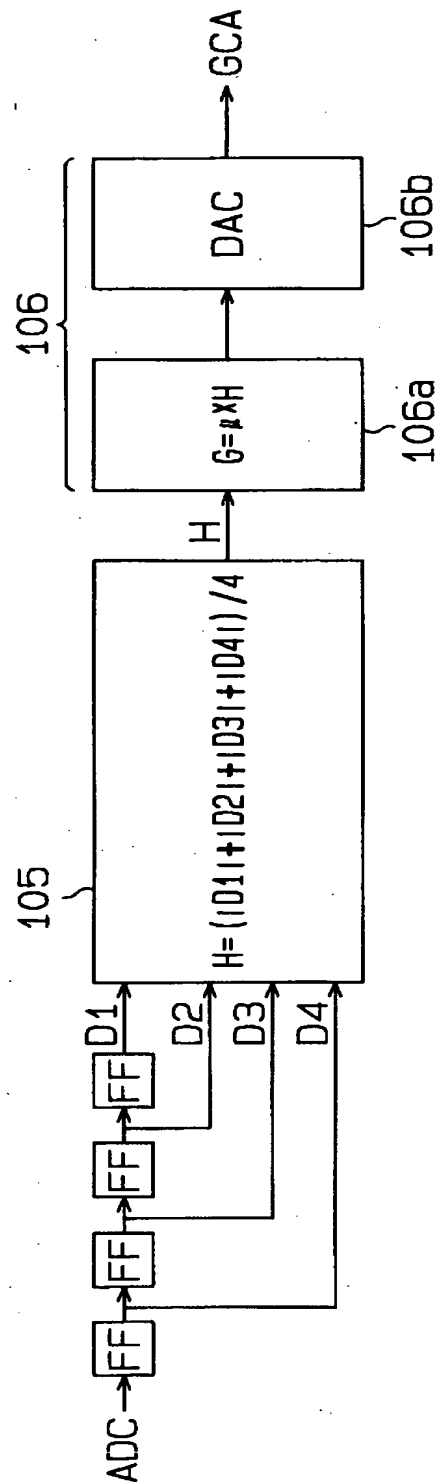
【図 3 0】

AGC回路の別例を示すブロック図



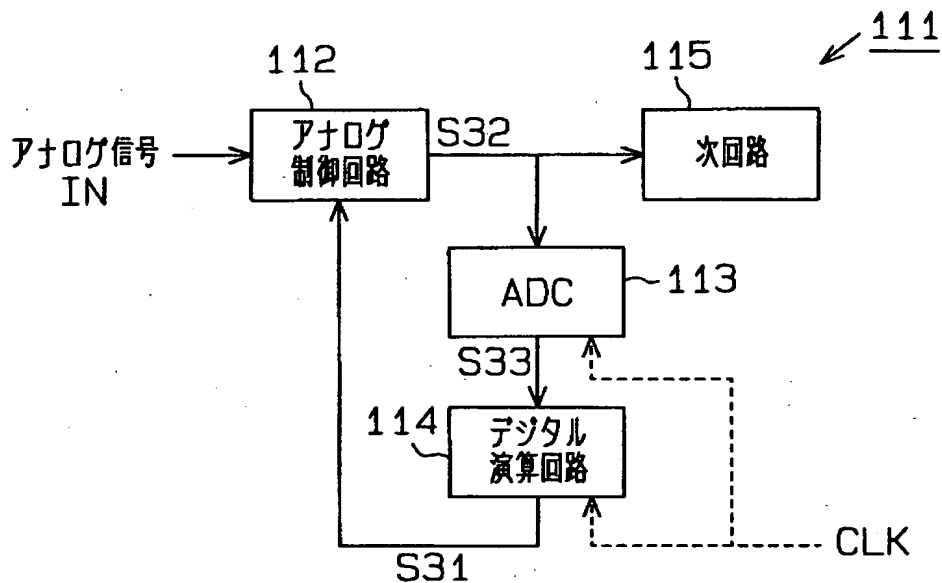
【図 3 1】

図30の平均処理回路及びGCA制御電圧発生回路を示すブロック図



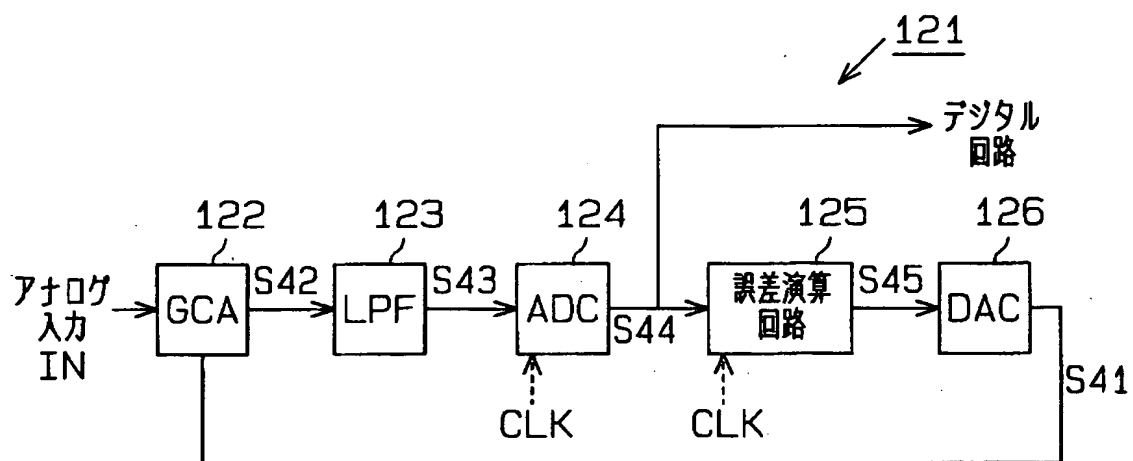
【図 3 2】

従来のアナログ制御装置の概略構成図



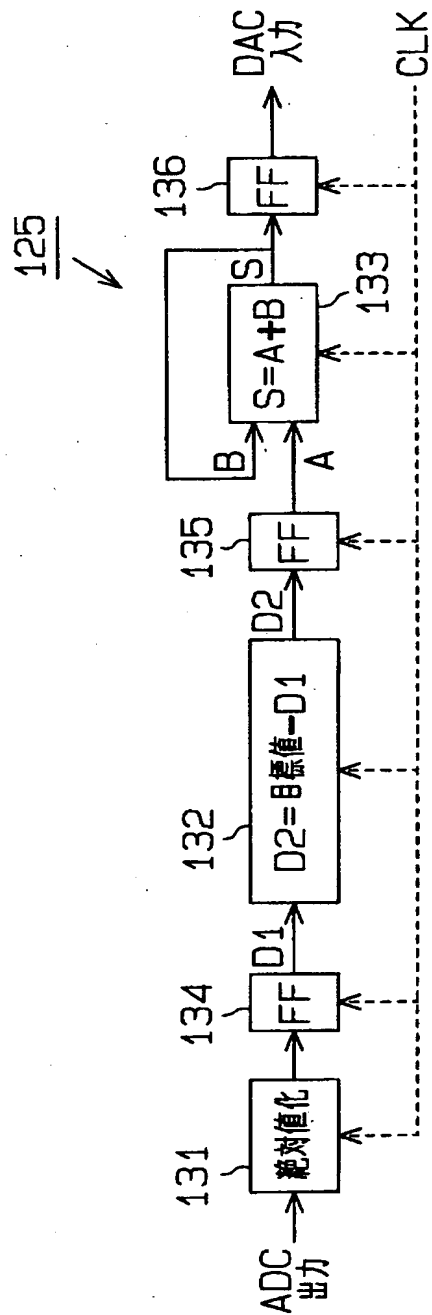
【図 3 3】

従来のAGCを示すブロック図



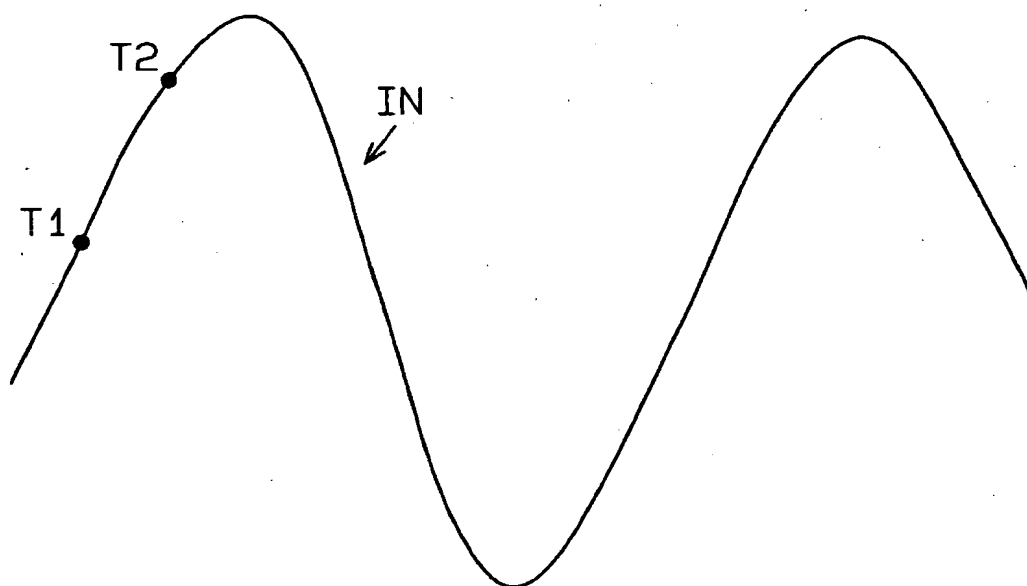
【図 34】

誤差演算回路を示すブロック図



【図 3 5】

従来のタイミング波形図



【書類名】 要約書

【要約】

【課題】 レイテンシに関わらず、精度の高いアナログ制御を行い得るアナログ制御方法、アナログ制御装置、及びA G Cを提供すること。

【解決手段】 アナログ制御装置 1 1 には、A D C 1 4 及び演算回路 1 5 でのレイテンシに略相当する遅延が設定された遅延回路 1 2 が設けられ、アナログ信号 I N は遅延回路 1 2 とA D C 1 4 とに入力される。これにより、制御回路 1 3 は、A D C 1 4 によりサンプリングホールドされたアナログ信号 I N の信号値と略同一値を持つアナログ信号 S 3 を制御信号 S 2 によって制御する。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000005223]

1. 変更年月日 1996年 3月26日

[変更理由] 住所変更

住 所 神奈川県川崎市中原区上小田中4丁目1番1号

氏 名 富士通株式会社

出 願 人 履 歴 情 報

識別番号 [000237617]

1. 変更年月日	1990年 9月 6日
[変更理由]	新規登録
住 所	愛知県春日井市高蔵寺町2丁目1844番2
氏 名	富士通ヴィエルエスアイ株式会社